

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-366080  
 (43)Date of publication of application : 20.12.2002

(51)Int.Cl. G09G 3/20  
 G09G 3/22  
 H04N 5/68

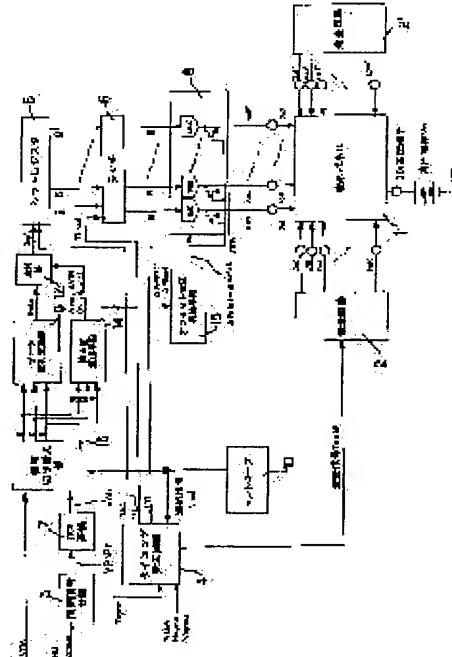
(21)Application number : 2001-176930 (71)Applicant : CANON INC  
 (22)Date of filing : 12.06.2001 (72)Inventor : SAGANO OSAMU

## (54) PICTURE DISPLAY DEVICE AND METHOD FOR DRIVING THE PICTURE DISPLAY DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a picture display device capable of displaying a high-quality picture by calculating a correction value with respect to voltage drop with simple constitution and small computational complexity and to provide the method of driving the picture display device.

SOLUTION: In this display device, a plurality of column wirings are divided into blocks and a node is set at a boundary position. In a correction value calculating means 14, the voltage drop values of row wiring in respective nodes are calculated on the basis of input picture data, offset voltage values  $\Delta V_{Cmp}$  which are to be applied uniformly to the column wiring of individual blocks are calculated from these voltage drop values, and correction values  $\Delta V_{kL}$ ,  $\Delta V_{kR}$  in which the difference between the offset voltage values is subtracted from the voltage drop values are calculated. An arithmetic part 12 corrects individual input picture data by interpolating the correction values  $\Delta V_{kL}$ ,  $\Delta V_{kR}$  with linear approximation. A modulation means 8 applies a modulation signal which is obtained by superimposing the offset voltage supplied from an offset voltage generating means 15 on the potential of the modulation signal generated on the basis of the correction picture data to the individual column wiring.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-366080  
(P2002-366080A)

(43)公開日 平成14年12月20日(2002.12.20)

(51) Int.Cl.<sup>7</sup> 識別記号 F I テーマコード\*(参考)  
 G 0 9 G 3/20 6 4 1 G 0 9 G 3/20 6 4 1 P 5 C 0 5 8  
 6 4 1 D 5 C 0 8 0  
 6 4 2 6 4 2 B  
 3/22 3/22 H  
 H 0 4 N 5/68 H 0 4 N 5/68 B

審査請求 未請求 請求項の数23 O.L (全 33 頁)

(21)出願番号 特願2001-176930(P2001-176930)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成13年6月12日(2001.6.12)

(72)発明者 嵐峨野 治

東京都大田区下  
ノハラ株式会社内

(74) 代理人 100085006

翁理士 堤烏 和信 (外2名)

Eタービン(参考) EC058 AA03 RA01 RA05 RA06 RB07

BB11 CA14

BBIT CAT4

EE12 UW12 U03 U04 U05

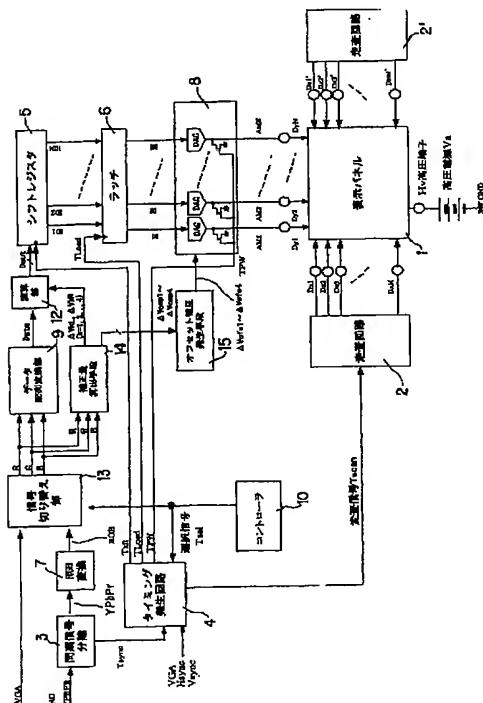
FF12

(54) 【発明の名称】 画像表示装置および画像表示装置の駆動方法

(57) 【要約】

【課題】 簡易な構成かつ少ない計算量により電圧降下に対する補正量を算出し、高品質な画像を表示することができる画像表示装置及び画像表示装置の駆動方法を提供する。

【解決手段】 複数の列配線をブロック分けして、その境界位置にノードを設定する。そして、補正量算出手段14では、入力画像データに基づき各ノードにおける行配線の電圧降下量を算出した後、この電圧降下量から各ブロックの列配線に一律に与えるオフセット電圧量 $\Delta V_{c m p}$ を算出するとともに、電圧降下量からその分を差し引いた補正量 $\Delta V_{kL}$ ,  $\Delta V_{kR}$ を求める。演算部12は、補正量 $\Delta V_{kL}$ ,  $\Delta V_{kR}$ を直線近似により補間し、各入力画像データを補正する。変調手段8は、補正画像データに基づいて生成した変調信号の電位にオフセット電圧発生手段15から供給されたオフセット電圧を重畠して得た変調信号を列配線に印加する。



## 【特許請求の範囲】

【請求項1】複数の画像表示素子を複数の行配線と複数の列配線によってマトリクス状に結線してなる被駆動部と、前記複数の行配線のうち一の行配線に選択電位を印加し、その選択行配線を順次切り替えることによって走査駆動を行う走査手段と、前記複数の列配線のそれぞれに入力画像信号に応じて変調した変調信号を印加する変調手段と、を備え、前記選択電位と前記変調信号の電位との電位差によって選択行配線に結線された複数の画像表示素子を駆動する画像表示装置において、

入力画像信号に基づいて行配線の電圧降下量を算出する第1算出手段と、

該第1算出手段によって算出された電圧降下量から、列配線に与えるオフセット電圧量を算出するとともに、前記電圧降下量から前記オフセット電圧量分を差し引いた補正量を算出する第2算出手段と、

該第2算出手段によって算出された補正量に基づいて入力画像信号を補正する補正手段と、

前記第2算出手段によって算出されたオフセット電圧量に基づいてオフセット電圧を発生するオフセット電圧発生手段と、を有し、

前記変調手段は、前記補正手段によって補正された画像信号に基づいて生成される各列配線に対応する変調信号の電位に、前記オフセット電圧発生手段からのオフセット電圧分を重畳して出力すること、を特徴とする画像表示装置。

【請求項2】前記第1算出手段は、それぞれが互いに隣接する複数の前記列配線で構成される複数のブロックをそれぞれ一つの列配線と見なして、前記入力画像信号に基づいて前記行配線上における電圧降下量を算出する請求項1に記載の画像表示装置。

【請求項3】前記第1算出手段は、それぞれが互いに隣接する複数の前記列配線で構成される複数のブロックのそれぞれに流れる電流の代表値に基づいて前記行配線上における電圧降下量を算出する請求項1もしくは2に記載の画像表示装置。

【請求項4】それぞれが互いに隣接する複数の列配線で構成される複数のブロックにおいて、一つのブロックを構成する複数の列配線に対する前記オフセット電圧が共通である請求項1乃至3のいずれかに記載の画像表示装置。

【請求項5】前記第1算出手段は、前記入力画像信号に基づいて、前記行配線上において各点の間に複数の前記列配線が前記行配線と交差する点を挟む点である複数のノードにおける電圧降下量を算出する請求項1乃至4のいずれかに記載の画像表示装置。

【請求項6】前記第2算出手段は、隣接する2つのノードにおける電圧降下量のうち絶対値の小さい電圧降下量を該隣接する2つのノードに挟まれる前記列配線に対する共通のオフセット電圧量とする請求項5に記載の画像

表示装置。

【請求項7】前記補正手段は、前記ノードごとの補正量に基づいて行配線上の各列配線の位置に対応する個別補正量を算出し、該個別補正量に基づいて入力画像信号を補正する請求項5もしくは6に記載の画像表示装置。

【請求項8】前記補正手段は、隣接する2つのノードにおける補正量を直線近似して、各列配線の位置に応じた各列配線の個別補正量を算出する請求項7に記載の画像表示装置。

【請求項9】前記補正手段は、前記個別補正量を入力画像信号に加算することで該入力画像信号を補正する請求項7または8に記載の画像表示装置。

【請求項10】複数の画像表示素子を複数の行配線と複数の列配線によってマトリクス状に結線してなる被駆動部と、前記複数の行配線のうち一の行配線に選択電位を印加し、その選択行配線を順次切り替えることによって走査駆動を行う走査手段と、前記複数の列配線のそれぞれに入力画像信号に応じて変調した変調信号を印加する変調手段と、を備え、前記選択電位と前記変調信号の電位との電位差によって選択行配線に結線された複数の画像表示素子を駆動する画像表示装置において、前記複数の列配線をブロック分けして、各ブロックの境界に位置するように行配線上にノードを設定し、入力画像信号に基づいて各ノードにおける行配線の電圧降下量を算出する第1算出手段と、

該第1算出手段によって算出された電圧降下量に基づいて各ノードに対応するオフセット電圧を発生するオフセット電圧発生手段と、を有し、

前記変調手段は、入力画像信号に基づいて生成される各列配線に対応する変調信号の電位に、前記オフセット電圧発生手段から供給される各ノードのオフセット電圧を、ノードと列配線との位置関係に応じて分圧して重畳することを特徴とする画像表示装置。

【請求項11】前記変調手段は、各列配線に前記オフセット電圧を重畳するための端子と、ブロック内の隣接する列配線の2つの端子を接続する抵抗と、を有し、ブロックの両端に位置する列配線の2つの端子に、前記オフセット電圧発生手段から供給されたオフセット電圧を印加することによって、オフセット電圧を分圧する請求項10に記載の画像表示装置。

【請求項12】前記第1算出手段は、入力画像信号に応じた変調信号を列配線に印加したときに流れる電流量を算出し、ブロックに含まれる全ての列配線に流れる電流量を合算して得た総電流が該ブロックの中央部に流れるものとして、各ノードにおける電圧降下量を算出する請求項5乃至11のいずれかに記載の画像表示装置。

【請求項13】前記第1算出手段は、前記複数の列配線をブロック分けして、各ブロックの境界に位置するように行配線上にノードを設定し、入力画像信号に応じた変調信号を列配線に印加したときに流れる電流量を算出

し、ブロックに含まれる全ての列配線に流れる電流量を合算して得た総電流が該ブロックの中央部に流れるものと想定し、

行配線の配線抵抗値と、

上記分割された各々のブロックの総電流量と、各々のブロックの総電流が投入される行配線上の位置と、

電圧降下を計算するノードの行配線上の位置とから、各ノードにおける電圧降下量を算出する請求項5乃至12のいずれかに記載の画像表示装置。

【請求項14】前記ブロックを構成する列配線の本数を2のべき乗本に設定する請求項5乃至13のいずれかに記載の画像表示装置。

【請求項15】前記ブロックに含まれる水平方向の画素数を2のべき乗個に設定する請求項5乃至14のいずれかに記載の画像表示装置。

【請求項16】前記走査手段は、行配線の両端に選択電位を印加する請求項1乃至15のいずれかに記載の画像表示装置。

【請求項17】前記走査手段は、行配線の片端に選択電位を印加する請求項1乃至15のいずれかに記載の画像表示装置。

【請求項18】前記ブロックを構成する列配線の本数は、前記変調手段を構成する集積回路（IC）のチャンネル数の倍数または約数である請求項5乃至15のいずれかに記載の画像表示装置。

【請求項19】前記画像表示素子は、電子放出素子である請求項1乃至18のいずれかに記載の画像表示装置。

【請求項20】前記電子放出素子は、表面伝導型放出素子である請求項19に記載の画像表示装置。

【請求項21】前記画像信号に基づいて生成される変調信号は、その波高値が前記画像信号に基づいて変調された信号である請求項1乃至20のいずれかに記載の画像表示装置。

【請求項22】複数の画像表示素子を複数の行配線と複数の列配線によってマトリクス状に結線してなる被駆動部を備え、

一の行配線に選択電位を印加するとともに複数の列配線のそれぞれに入力画像信号に応じた変調信号を印加して、該選択電位と該変調信号の電位との電位差によって選択行配線に結線された複数の画像表示素子を駆動する画像表示装置の駆動方法であって、  
画像信号が入力されるステップと、

入力画像信号に基づいて行配線の電圧降下量を算出するステップと、

該電圧降下量から、列配線に与えるオフセット電圧量を算出するとともに、前記電圧降下量から前記オフセット電圧量分を差し引いた補正量を算出するステップと、該補正量に基づいて入力画像信号を補正するステップと、

前記オフセット電圧量に基づいてオフセット電圧を発生するステップと、

補正した画像信号に基づいて生成される各列配線に対応する変調信号の電位に前記オフセット電圧を重畠するステップと、を含むことを特徴とする画像表示装置の駆動方法。

【請求項23】複数の画像表示素子を複数の行配線と複数の列配線によってマトリクス状に結線してなる被駆動部を備え、

一の行配線に選択電位を印加するとともに複数の列配線のそれぞれに入力画像信号に応じた変調信号を印加して、該選択電位と該変調信号の電位との電位差によって選択行配線に結線された複数の画像表示素子を駆動する画像表示装置の駆動方法であって、  
画像信号が入力されるステップと、

前記複数の列配線をブロック分けして、各ブロックの境界に位置するよう行配線上にノードを設定し、入力画像信号に基づいて各ノードにおける行配線の電圧降下量を算出するステップと、

該電圧降下量に基づいて各ノードに対応するオフセット電圧を発生するステップと、

入力画像信号に基づいて生成される各列配線に対応する変調信号の電位に、各ノードのオフセット電圧を、ノードと列配線との位置関係に応じて分圧して重畠するステップと、を含むことを特徴とする画像表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の表示用素子をマトリクス配線した表示パネルを備える画像表示装置に関する。

【0002】

【従来の技術】従来、この種の画像表示装置としては、例えば、特開平8-248920号公報において開示されるように、行方向にN個、列方向にM個の合計N×M個の冷陰極素子を2次元的にマトリクス状に配列し、それらを行方向に設けられたM本の行配線と列方向に設けられたN本の列配線によりマトリクス配線してなるマルチ電子源を備えた構成のものが知られている。

【0003】この画像表示装置は、行配線と列配線の両方に所定の電圧を印加することにより、両配線に接続された冷陰極素子を駆動して電子を放出させ、マルチ電子源に対向配置した蛍光体に電子ビームを照射することによって画像を表示するものである。

【0004】マトリクス配線された多数の冷陰極素子を駆動する場合には、マトリクスの1行分の素子群（1行分の素子群は1本の行配線に接続されている）を同時に駆動する方法が行われる。

【0005】すなわち、1本の行配線に所定の選択電位を印加すると共に、その行配線に接続されたN個の冷陰

極素子のうち駆動対象となるものに接続している列配線のみに所定の変調信号を印加して、行配線電位と列配線電位との電位差によって、1行分の複数の素子を同時に駆動する。そして、選択行配線を次々と切り替えて全ての行を走査していく、視覚の残像現象を利用して2次元的な画像を形成している。

【0006】この方法によれば、1素子ずつ走査していく方法と比較して、各素子に割り当てられる駆動時間がN倍長く確保されるため、画像表示装置の輝度を高くすることができるという利点がある。

【0007】

【発明が解決しようとする課題】しかしながら、上記のような従来技術の場合には、下記のような問題が生じていた。

【0008】1行分のN個の冷陰極素子は1本の行配線に接続されているが、各素子ごとにその接続位置が異なっているため、1行分の素子群を同時に駆動する場合には、配線抵抗による電圧降下の影響を受けて、各素子の輝度にバラツキが生じてしまう。

【0009】この電圧降下に起因する輝度低下を補償するために、上記特開平8-248920号公報においては、統計演算によりその補正量を算出し、電子線要求値と補正值を合成する構成が提案されている。

【0010】同公報の第1実施例の構成図を図22に示す。詳細な説明は同公報に書かれているので省略するが、図22に示されるように補正を行うために、各列配線毎に備えられる乗算器1001にて輝度データとメモリ手段1002からの補正データを乗算し、変調信号発生器1003に補正後データを転送する構成が提案されている。

【0011】しかしながら、上記構成においては、各列配線毎に補正量演算が必要であったため、計算量が膨大であるとともに、各列配線毎の乗算器1001、補正データを出力するためのメモリ手段1002及びメモリ手段1002にアドレス信号を与えるための合算器1004などの大規模なハードウエアが必要であった。

【0012】本願は、補正を行う新規かつ好適な構成を実現できる発明を含むものであり、具体的には、従来技術では解決できない上記課題や補正を行う際に表示画像の階調性への影響を抑制するという課題を解決できる発明を含んでいる。より具体的には簡易な構成かつ少ない計算量により電圧降下に対する補正量を算出し、高品質な画像を表示することのできる画像表示装置及び画像表示装置の駆動方法の発明を含んでいる。

【0013】

【課題を解決するための手段】本願にかかる発明の一つは以下のように構成される。

【0014】複数の画像表示素子を複数の行配線と複数の列配線によってマトリクス状に結線してなる被駆動部と、前記複数の行配線のうち一の行配線に選択電位を印

加し、その選択行配線を順次切り替えることによって走査駆動を行う走査手段と、前記複数の列配線のそれぞれに入力画像信号に応じて変調した変調信号を印加する変調手段と、を備え、前記選択電位と前記変調信号の電位との電位差によって選択行配線に結線された複数の画像表示素子を駆動する画像表示装置において、入力画像信号に基づいて行配線の電圧降下量を算出する第1算出手段と、該第1算出手段によって算出された電圧降下量から、列配線に与えるオフセット電圧量を算出するとともに、前記電圧降下量から前記オフセット電圧量分を差し引いた補正量を算出する第2算出手段と、該第2算出手段によって算出された補正量に基づいて入力画像信号を補正する補正手段と、前記第2算出手段によって算出されたオフセット電圧量に基づいてオフセット電圧を発生するオフセット電圧発生手段と、を有し、前記変調手段は、前記補正手段によって補正された画像信号に基づいて生成される各列配線に対応する変調信号の電位に、前記オフセット電圧発生手段からのオフセット電圧分を重畠して出力すること、を特徴とする画像表示装置。

【0015】特にこの構成において、前記第1算出手段は、それが互いに隣接する複数の前記列配線で構成される複数のブロックをそれぞれ一つの列配線と見なして、前記入力画像信号に基づいて前記行配線上における電圧降下量を算出する構成を好適に採用できる。

【0016】また特に、上記発明において、前記第1算出手段は、それが互いに隣接する複数の前記列配線で構成される複数のブロックのそれぞれに流れる電流の代表値に基づいて前記行配線上における電圧降下量を算出する構成を好適に採用することができる。ここで各ブロックに流れる電流の代表値としては、各ブロックを構成する列配線のそれぞれに流れる電流値の総和を好適に採用することができる。

【0017】また、上記各発明において、それが互いに隣接する複数の列配線で構成される複数のブロックにおいて、一つのブロックを構成する複数の列配線に対する前記オフセット電圧を共通とする構成を好適に採用できる。

【0018】また、上記各発明において、前記第1の算出手段は、前記入力画像信号に基づいて、前記行配線上において各点の間に複数の前記列配線が前記行配線と交差する点を挟む点である複数のノードにおける電圧降下量を算出する構成を好適に採用できる。特にこのノードは、前記複数の列配線を、互いに隣接する複数の列配線で構成される各ブロックに分け、前記入力画像信号に基づいて前記行配線上における電圧降下量を算出する際に、各ブロックの境界に設定すると好適である。

【0019】また、前記第2算出手段は、隣接する2つのノードにおける電圧降下量のうち絶対値の小さい電圧降下量を該隣接する2つのノードに挟まれる前記列配線に対する共通のオフセット電圧量とする構成を好適に採

用することができる。

【0020】また、前記補正手段は、前記ノードごとの補正量に基づいて行配線上の各列配線の位置に対応する個別補正量を算出し、該個別補正量に基づいて入力画像信号を補正する構成を好適に採用することができる。特に複数の列配線で共通のオフセット電圧を採用する構成と、オフセット電圧による補正では補正できない部分を各列ごとに個別で補正することにより、簡便な構成で正確な階調表示を実現することが可能となる。

【0021】特に、隣接するノードにおける補正量に基づく補間により該ノードに挟まれる列毎の個別補正量を算出する構成を好適に採用でき、具体的には隣接する2つのノードにおける補正量を直線近似して、各列配線の位置に応じた各列配線の個別補正量を算出する構成を好適に採用できる。

【0022】また前記補正手段は、前記個別補正量を入力画像信号に加算することで該入力画像信号を補正する構成を好適に採用できる。

【0023】また本願は以下の発明を含んでいる。

【0024】複数の画像表示素子を複数の行配線と複数の列配線によってマトリクス状に結線してなる被駆動部と、前記複数の行配線のうち一の行配線に選択電位を印加し、その選択行配線を順次切り替えることによって走査駆動を行う走査手段と、前記複数の列配線のそれぞれに入力画像信号に応じて変調した変調信号を印加する変調手段と、を備え、前記選択電位と前記変調信号の電位との電位差によって選択行配線に結線された複数の画像表示素子を駆動する画像表示装置において、前記複数の列配線をブロック分けして、各ブロックの境界に位置するように行配線上にノードを設定し、入力画像信号に基づいて各ノードにおける行配線の電圧降下量を算出する第1算出手段と、該第1算出手段によって算出された電圧降下量に基づいて各ノードに対応するオフセット電圧を発生するオフセット電圧発生手段と、を有し、前記変調手段は、入力画像信号に基づいて生成される各列配線に対応する変調信号の電位に、前記オフセット電圧発生手段から供給される各ノードのオフセット電圧を、ノードと列配線との位置関係に応じて分圧して重畳することを特徴とする画像表示装置。

【0025】特にこの発明において、前記変調手段は、各列配線に前記オフセット電圧を重畳するための端子と、ブロック内の隣接する列配線の2つの端子を接続する抵抗と、を有し、ブロックの両端に位置する列配線の2つの端子に、前記オフセット電圧発生手段から供給されたオフセット電圧を印加することによって、オフセット電圧を分圧する構成を好適に採用できる。

【0026】また、前記ノードを設定する各発明において、前記第1算出手段は、入力画像信号に応じた変調信号を列配線に印加したときに流れる電流量を算出し、ブロックに含まれる全ての列配線に流れる電流量を合算し

て得た総電流が該ブロックの中央部に流れるものとして、各ノードにおける電圧降下量を算出する構成を好適に採用できる。特に、前記第1算出手段は、前記複数の列配線をブロック分けして、各ブロックの境界に位置するように行配線上にノードを設定し、入力画像信号に応じた変調信号を列配線に印加したときに流れる電流量を算出し、ブロックに含まれる全ての列配線に流れる電流量を合算して得た総電流が該ブロックの中央部に流れるものと想定し、行配線の配線抵抗値と、上記分割された、各々のブロックの総電流量と、各々のブロックの総電流が投入される行配線上の位置と、電圧降下を計算するノードの行配線上の位置とから、各ノードにおける電圧降下量を算出する構成を好適に採用できる。

【0027】また、前記ブロックを設定する各発明において、前記ブロックを構成する列配線の本数を2のべき乗本に設定する構成や、前記ブロックに含まれる水平方向の画素数を2のべき乗個に設定する構成を好適に採用することができる。

【0028】また上記各発明において、前記走査手段は、行配線の両端に選択電位を印加する構成や片端に選択電位を印加する構成を採用できる。

【0029】また、前記ブロックを設定する各発明において、ブロックを構成する列配線の本数は、前記変調手段を構成する集積回路（IC）のチャンネル数の倍数または約数である構成を好適に採用できる。

【0030】また、前記画像表示素子は、電子放出素子であるとよく、さらに好ましくは表面伝導型放出素子であるとよい。特に表面伝導型放出素子である場合には行配線における電圧降下が発生しやすいことがわかっており、本願発明を特に好適に適用できる。表面伝導型放出素子などの電子放出素子を画像表示素子として用いる場合は、それが放出する電子により発光する発光部材を設けると良い。また、本願発明は例えばEL（エレクトロルミネセンス）素子を画像表示素子として用いる構成にも適用できる。

【0031】また、上記各発明において、前記画像信号に基づいて生成される変調信号は、その波高値が前記画像信号に基づいて変調された信号である構成を好適に採用することができる。

【0032】また本願は、画像表示装置の駆動方法の発明として以下の構成の発明を含んでいる。

【0033】複数の画像表示素子を複数の行配線と複数の列配線によってマトリクス状に結線してなる被駆動部を備え、一の行配線に選択電位を印加するとともに複数の列配線のそれぞれに入力画像信号に応じた変調信号を印加して、該選択電位と該変調信号の電位との電位差によって選択行配線に結線された複数の画像表示素子を駆動する画像表示装置の駆動方法であって、画像信号が入力されるステップと、入力画像信号に基づいて行配線の電圧降下量を算出するステップと、該電圧降下量から、

列配線に与えるオフセット電圧量を算出するとともに、前記電圧降下量から前記オフセット電圧量分を差し引いた補正量を算出するステップと、該補正量に基づいて入力画像信号を補正するステップと、前記オフセット電圧量に基づいてオフセット電圧を発生するステップと、補正した画像信号に基づいて生成される各列配線に対応する変調信号の電位に前記オフセット電圧を重畠するステップと、を含むことを特徴とする画像表示装置の駆動方法。

【0034】また本願は、画像表示装置の駆動方法の発明として以下の構成の発明を含んでいる。

【0035】複数の画像表示素子を複数の行配線と複数の列配線によってマトリクス状に結線してなる被駆動部を備え、一の行配線に選択電位を印加するとともに複数の列配線のそれぞれに入力画像信号に応じた変調信号を印加して、該選択電位と該変調信号の電位との電位差によって選択行配線に結線された複数の画像表示素子を駆動する画像表示装置の駆動方法であって、画像信号が入力されるステップと、前記複数の列配線をブロック分割して、各ブロックの境界に位置するように行配線上にノードを設定し、入力画像信号に基づいて各ノードにおける行配線の電圧降下量を算出するステップと、該電圧降下量に基づいて各ノードに対応するオフセット電圧を発生するステップと、入力画像信号に基づいて生成される各列配線に対応する変調信号の電位に、各ノードのオフセット電圧を、ノードと列配線との位置関係に応じて分圧して重畠するステップと、を含むことを特徴とする画像表示装置の駆動方法。

【0036】

【発明の実施の形態】これまで述べてきたように、表面伝導型放出素子等の冷陰極素子を単純マトリクス構造に配置した表示装置においては、行配線における電圧降下の影響により、表示画像が劣化するという課題があった。

【0037】本発明は、電圧降下の影響を補正する手段を備えた画像表示装置に関する発明であって、特にそれを比較的小さな回路規模で実現し得るものである。

【0038】以下に図面を参照して、本発明の好適な実施の形態を例示的に詳しく述べる。特に以下に述べる各実施の形態は、電圧降下を補正するための補正量をいくつかの近似を導入することにより小規模なハードウエアで計算をおこない、それに基づいて画像信号に補正を施すことにより、電圧降下の影響による画像の劣化を改善するものである。

【0039】また、本実施の形態の変調手段としては、入力画像データの値に応じて出力電圧の振幅を可変する振幅変調手段を前提としている。また、走査及び変調はいわゆる線順次駆動で行われる。

【0040】(第1の実施の形態)まず本発明の第1の実施の形態に係る画像表示装置の表示パネルの概観、表

示パネルの電気的接続、表面伝導型放出素子の特性から簡単に説明する。

【0041】〈画像表示装置の概観〉図10は、本実施の形態に係る画像表示装置に用いた表示パネル1の斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

【0042】図中、105はリアプレート、106は側壁、107はフェースプレートであり、リアプレート105、側壁106及びフェースプレート107により表示パネル1の内部を真空に維持するための気密容器を形成している。

【0043】気密容器を作製する際には、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、たとえばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、摂氏400度～500度で10分以上焼成することにより封着することにより作製することができる。

【0044】リアプレート105には基板101が固定されているが、該基板101上には冷陰極素子102がN×M個形成されている。行配線103及び列配線104及び冷陰極素子(表面伝導型放出素子)102は図9のように接続されている。

【0045】すなわち、行方向にM本の行配線103が、列方向にN本の列配線104が互いに交差するように設けられ、その交差部においては行配線103と列配線104とは絶縁されている。そして、一対の行配線と列配線に1つの冷陰極素子102が接続されるように結線されている。このような結線構造をマトリクス配線又は単純マトリクスと呼ぶ。

【0046】Dx1, Dx2, ..., DxMは各行配線103に走査信号(選択電位もしくは非選択電位)を印加するための接続端子であり、また、Dy1, Dy2, ..., DyNは各列配線104に変調信号を印加するための接続端子である。

【0047】上記マトリクス配線においては、例えば接続端子Dx1と接続端子Dy2にのみ所定の駆動電位を印加することにより、それぞれに印加される電位間の電位差によって両配線に結線されている冷陰極素子102aを選択的に駆動することができる。

【0048】ここでは、基板101, 冷陰極素子102, 行配線103及び列配線104によって構成される部分をマルチ電子源と呼ぶこととする。

【0049】またフェースプレート107の下面には、発光手段としての蛍光膜108が形成されている。本実施の形態の画像表示装置はカラー表示装置であるため、蛍光膜108の部分にはCRTの分野で用いられる赤、緑、青の3原色の蛍光体が塗り分けられている。蛍光体は、リアプレート105の各画素(絵素)に対応してマトリクス状に形成された、冷陰極素子102からの放出電子(放出電流、電子ビームとも称す。)の照射される

位置に対して、画素を形成するように構成されている。

【0050】蛍光膜108の下面にはメタルバック109が形成されている。図10中のHvは高圧端子でありメタルバック109に電気的に接続されている。Hv端子に高電圧を印加することによりリアプレート105とフェースプレート107の間に電位差が生じる。すなわち、メタルバック109は冷陰極素子102からの放出電子を引きつけるアノード電極として作用している。

【0051】本実施の形態では以上のような表示パネル1の中に冷陰極素子として表面伝導型放出素子を作製した。

【0052】〈表面伝導型放出素子の特性〉表面伝導型放出素子は、概略、2つの電極とその間に形成された電子放出部とからなる。2つの電極のそれぞれは行配線103と列配線104に電気的に接続されており、両電極に所定の電位（その電位差が素子駆動電圧Vfとなる）を印加すると、前記電子放出部から電子が放出される。ここで、放出電子による電流を放出電流Ieと呼び、両電極間に流れる電流を素子電流Ifと呼ぶ。

【0053】典型的な表面伝導型放出素子は、図7のような（放出電流Ie）対（素子駆動電圧Vf）特性、および（素子電流If）対（素子駆動電圧Vf）特性を有する。なお、放出電流Ieは素子電流Ifに比べて著しく小さく、同一尺度で図示するのが困難であるため、2つのグラフは各々異なる尺度で図示した。

【0054】すなわち、放出電流Ieに関して以下に述べる3つの特性を有していることがわかる。

【0055】第一に、ある電圧（これを閾値電圧Vthと呼ぶ）以上の電圧を素子に印加すると急激に放出電流Ieが増加するが、一方、閾値電圧Vth未満の電圧では放出電流Ieはほとんど検出されない。すなわち、表面伝導型放出素子は、放出電流Ieに関して、明確な閾値電圧Vthを持った非線形素子であるといえる。

【0056】第二に、放出電流Ieは素子に印加する素子駆動電圧Vfに依存して変化するため、素子駆動電圧Vfを変化させることにより、放出電流Ieの大きさを制御できる。

【0057】第三に、冷陰極素子は高速な応答性を有しているため、素子駆動電圧Vfの印加時間により放出電流Ieの放出時間を制御できる。

【0058】以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができるこことを発明者らは見出している。たとえば図10に示した表示パネル1を用いた画像表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧Vth以上の電圧を適宜印加し、非選択状態の素子には閾値電圧Vth未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【0059】また、第二の特性を利用することにより、素子に印加する素子駆動電圧Vfの大きさにより、蛍光体の発光輝度を制御することができ、階調画像の表示及び画像品質の調整が可能である。

【0060】また、第三の特性を利用することにより、素子に素子駆動電圧Vfを印加する時間により、蛍光体の発光時間を制御することができ、階調画像の表示及び画像品質の調整が可能である。

【0061】なお、本実施の形態の画像表示装置においては、上記第二の特性を利用して表示パネル1の電子ビームの量の変調を行った。

【0062】各部の電圧の設定は、行配線に印加する選択電位Vsを-0.5VSEL（ここでVSELとは、最大輝度を与える場合の選択電位と変調電位の電位差の絶対値である。）とし、画像データが0のときに列配線に印加する変調電位VOLをVth+Vs、画像データが最大のときに列配線に印加する変調電位VOHをVSEL+Vsとした。すなわち、VOL=Vth-0.5VSEL、VOH=0.5VSELとなる。

【0063】〈システム全体と各部分の機能説明〉図1はその回路構成の概略を示すブロック図である。同図において1は表示パネル、Dx1～DxM及びDx1'～DxM'は表示パネル1の行配線の接続端子、Dy1～DyNは表示パネルの列配線の接続端子、Hvはフェースプレート107とリアプレート105の間に加速電圧を印加するための高圧端子、Vaは高圧電源、2及び2'は走査回路、3は同期信号分離回路、4はタイミング発生回路、7は同期分離回路から出力されるYPr信号をRGB信号に変換するためのRGB変換回路、13はHDのRGB信号とVGA信号とを切り替えるとともに、画像信号を入力する入力手段としての機能もそなえた信号切り替え部、5は画像データ1ライン分のシフトレジスタ、6は画像データ1ライン分のラッチ回路、8は表示パネル1の列配線に変調信号を出力する変調手段である変調回路、10はコントローラ、12は画像データと補正量を演算し、補正された画像信号Doutを出力する演算部、14は補正量算出手段である補正量算出回路、15はオフセット電圧発生手段であるオフセット電圧発生回路である。以下に各部分の機能について簡単に説明する。

【0064】〈同期分離回路、タイミング発生回路〉本実施の形態の画像表示装置は、HD方式の映像信号とコンピュータなどの出力であるVGA信号をともに表示することができる。ただし本実施の形態は一つの例であって、NTSCや、PAL、SECAMなどの他の規格に対しても同様に応用可能である。

【0065】VGA信号は、信号切り替え部13へと供給されるとともに、その同期信号Vsync, Hsyncがタイミング発生回路4へと供給される。

【0066】一方、HD方式の映像信号の場合は、まず

同期信号分離回路3により同期信号T sync (垂直同期、水平同期を含む) が分離され、タイミング発生回路4に供給される。そして、Y Pb Pr信号がRGB変換回路7に供給される。RGB変換回路7の内部には、Y Pb PrからRGBへの変換回路の他に、不図示のローパスフィルタやA/D変換器などが設けられており、Y Pb Prから変換されたディジタルRGB信号は信号切り替え部13へと供給される。

【0067】〈信号切り替え部、コントローラ、タイミング発生回路〉信号切り替え部13はVGAとHDの選択を行う回路であり、コントローラからの選択信号T se1に応じて映像ソースの切り替えを行う。

【0068】コントローラ10は、不図示のリモコンや、スイッチなどによって選択すべき映像ソースを設定されると、各部に選択信号T se1を供給する。

【0069】タイミング発生回路4は、選択信号T se1に基づいて選択されている側の映像ソースの同期信号に同期して、各部の動作タイミングを決定する。すなわち、タイミング発生回路4はシフトレジスタ5の動作タイミングを制御するT f t、シフトレジスタ5からラッチ回路6へデータをラッチするための制御信号T Lo a d、変調手段8の出力を制御するT PW、走査回路2の動作を制御するT scanほかの信号を発生して各部の動作のタイミングをとるものである。

【0070】〈走査回路〉走査回路2及び2'は、表示パネル1を順次1行ずつ走査するために、接続端子D x 1～D x Mに対して選択電位V sまたは非選択電位V n sを出力する回路である。

【0071】走査回路2及び2'はタイミング発生回路4からのタイミング信号T scanに同期して、一水平期間ごとに、選択している走査配線を順次切り替え、走査を行う回路である。走査回路2は行配線の一端に選択電位もしくは非選択電位を供給し、走査回路2'は行配線の他端に選択電位もしくは非選択電位を供給する。

【0072】なおT scanは垂直同期信号及び水平同期信号などから作られるタイミング信号群である。

【0073】走査回路2及び2'は、図11に示すようにそれぞれM個のスイッチ201とシフトレジスタ202などから構成される。これらのスイッチはトランジスタやFETにより構成するのが好ましい。

【0074】本実施の形態では走査回路2及び2'の出力する選択電位V sを-0.5×V SEL、非選択電位V n sは0Vに設定した。

【0075】〈データ配列変換部〉データ配列変換部9は信号切り替え部13から受けたディジタルRGB信号を表示パネル1の画素配列に合わせて配列変換する回路である。データ配列変換部9の構成は図14に示したようにRGB各色ごとのFIFOメモリ901R, 901G, 901Bとセレクタ902から構成される。

【0076】同図では図示していないが、FIFO (F

irst-In First-Out) メモリ901R, 901G, 901Bは1水平期間分のFIFOを奇数ライン用と偶数ライン用の2本備えている。

【0077】奇数行目の映像データが入力された際には、奇数ライン用のFIFOにデータが書き込まれる一方、偶数ライン用のFIFOメモリから一つ前の水平期間に蓄積された画像信号が読み出される。偶数行目の映像データが入力された際には、偶数ライン用のFIFOにデータが書き込まれる一方、奇数ライン用FIFOメモリから一つ前の水平期間に蓄積された画像信号が読み出される。

【0078】FIFOメモリから読み出されたデータは、セレクタ902により表示パネル1の画素配列にしたがって、RGBの画像信号がパラレル/シリアル変換され出力される。これらの動作タイミングはタイミング発生回路4(図1)からのタイミング制御信号に基づいて動作する。

【0079】〈ブロックの定義〉本実施の形態の補正量算出手段、演算手段、オフセット電圧発生手段を説明する前に、本発明のなかで近似計算を行う際に使用する「ブロック」について定義をしておく。

【0080】本発明ではN本の列配線をn本(nはN以下の整数)ごとにグループ化した単位をブロックと呼ぶ。また、本実施の形態では各ブロックの境界に位置するように行配線上にノードを設定する。

【0081】また、表示パネルに画像を表示する際、1水平走査期間の画像データの数は列配線の本数に等しいため、見方を変えれば1水平走査期間の画像データを複数のブロックに分けたとも考えることができる(1水平走査期間の画像データの数が変調配線の本数と等しくない場合には、表示できる解像度に解像度変換が施されることは言うまでもない。)。

【0082】また同じように、変調手段についても、各列配線に接続されているNチャンネルある変調手段をnチャンネルごとにグループ化したものを単位として、「ブロックごとの変調手段」と呼ぶ。

【0083】〈補正量算出手段、演算部、オフセット電圧発生手段の簡単な説明〉補正量算出手段14、演算部12及びオフセット電圧発生手段15についての詳細な説明は後で述べることとして、まずはそれらの機能を簡単に説明する。信号切り替え部13から出力されたディジタル映像信号RGBはデータ配列変換部9に入力されるのと並列に補正量算出手段14に入力される。

【0084】補正量算出手段14は、後述する補正量算出方法により、各ブロックの両端(ノード)における行配線上の電圧降下量を算出する回路(第1算出手段、第2算出手段)である。

【0085】補正量算出手段14は、各ブロックに対してその両端(ノード)における2つの電圧降下量のうち、その絶対値の小さい方をオフセット電圧指示量(オ

フセット電圧量)として各ブロックのオフセット電圧発生手段15へと供給する。

【0086】オフセット電圧発生手段15は、該オフセット電圧指示量に基づいて、ブロックごとのオフセット電圧を発生し、後述する変調手段8の各ブロックのオフセット端子へ供給する。

【0087】また、補正量算出手段14は、各ブロックの両端(ノード)の電圧降下量から、ブロックごとのオフセット電圧を差し引いた分を、補正量として演算部12へと供給する。

【0088】なお、電圧降下の補正量を上述のように2つにわけ、1つはオフセット電圧により供給し、残り(電圧降下量とオフセット電圧指示量の差分)の補正量にて画像データの補正を行うことには以下のようにメリットがある。

【0089】すなわち、オフセット電圧として、各ブロックの変調手段8のオフセット端子に供給することで、演算部12において画像データに加算処理する補正量を小さくできる。これにより、画像データに対して補正量の大きさが小さくなり、表面伝導型放出素子を変調するための階調数が相対的に増え、変調手段8の持っている階調数に、より近い階調数で画像を表示することができる。

【0090】一方、上述した例とは反して、オフセット電圧を発生させずに、電圧降下を補正するための電圧に相当する補正量を画像データに加算することのみで電圧降下を補正するならば、画像データに対して補正に要する階調数が大きくなり、その分だけ表面伝導型放出素子を変調するための階調数が減少してしまう。

【0091】したがって、行配線に発生する電圧降下の大きさが大きい表示パネルを駆動する際には、上述のようにオフセット電圧発生手段を設け、補正量に相当する電圧を各ブロックのオフセット電圧として印加する手段を備えた方が、表示パネルの階調数を多く取れるという点で好ましい。

【0092】本発明では電圧降下が大きな表示パネルを想定し、これを用いて画像を表示を行う際に電圧降下の影響のない、品質の良い画像の表示を行うことを目的とし、オフセット電圧発生手段を設けた構成をとった。

【0093】〈補正量算出手段及び演算部の簡単な説明〉ブロックごとに算出された電圧降下量は、ブロックとブロックの間を直線近似により補間される。補間された電圧降下量は、演算部12において画像信号に加算され、補正された画像信号Doutとしてシフトレジスタ5へと出力される。

【0094】これらの動作タイミングはタイミング発生回路4からのタイミング制御信号に基づいて動作する。

【0095】〈シフトレジスタ、ラッチ回路〉演算部12の出力である画像データDoutは、シフトレジスタ5により、シリアルなデータフォーマットから、各列配

線毎のパラレルな画像信号ID1～IDNへとシリアル／パラレル変換され、1水平期間が開始される直前に、タイミング信号Tloadにより、ラッチ回路6にロードされる。ラッチ回路6の出力は、パラレルな画像信号D1～DNとして変調手段8へと供給される。

【0096】なお本実施の形態では画像信号ID1～IDN、D1～DNはそれぞれ8ビットの画像信号とした。これらの動作タイミングはタイミング発生回路4からのタイミング制御信号Tsoft及びTloadに基づいて動作する。

【0097】〈本実施の形態の変調手段〉ラッチ回路6の出力であるパラレル画像信号D1～DNは振幅変調手段8へと供給される。変調手段8は、図1に示したように、各列配線ごとにDAコンバータ(DAC)とスイッチを備えている。DACは、図8に示すような入出力特性を備えている。

【0098】前述のラッチ回路6はパラレル画像信号ID1～IDNを1水平期間に1回ロードするため、DACへのデータD1～DNも1水平期間に1回書き換えることとなる。

【0099】スイッチは、DACがセトリング期間中に異常な電位を出さないように設けられたものであり、このスイッチによりDACがセトリング期間中は、AM1～AMNの電位はグランド電位が出力される。また同スイッチが短絡状態の間はDACの出力は出力されないよう、出力ディスエーブル機能を設けた。

【0100】図15は、本実施の形態の変調手段8をより詳細に説明するための図である。変調手段8は、同図に示すように、1ブロックに相当する列配線の本数をnとすると、n個のDACを備えるブロックを4つ備えている。

【0101】各ブロックのDACには、ブロック内の共通のオフセット電圧が供給できるようにオフセット電圧端子ΔVof1～ΔVof4を設けた。

【0102】〈本実施の形態の電圧降下量算出方法〉図3は、行配線における電圧降下の様子を説明するための図である。

【0103】同図では選択行配線103での電圧降下には寄与しない非選択行の行配線及び表面伝導型放出素子は省略した。また列配線104には電流が集中しないため、そこでの電圧降下は影響ないものとし、列配線104の抵抗分は無視している。

【0104】図示の行配線103は選択行であるため、両端に-0.5VSELの選択電位Vsが印加されている。列配線104には振幅変調信号を発生するためのDAC801が各列配線104ごとに接続されており、DAC801への入力データに応じてDAC801の出力電位AMi(iは列番号、i=1, 2, ..., N)が可変する。

【0105】ここで各列配線104に出力される電流を

$I_{f_i}$  ( $i$  は列番号、 $i = 1, 2, \dots, N$ ) とした。

【0106】画像信号に応じて図8に示す振幅の変調信号を列配線104に印加すると、図3の(b)に示したように、各列配線104から選択されている行配線103への電流の流れ込みにより行配線103上で電圧降下を生じる(すでに特開平8-248920において示されているとおりである。)。

【0107】本実施の形態では、行配線103に印加する選択電位 $V_s$ を-0.5VSELというマイナス電位に設定しており、列配線に印加する電位はそれよりも高い電位としているため、行配線103上の電圧降下によって、行配線103上の電位は、同図(b)のように上昇する。この電圧降下のため、選択行の表面伝導型放出素子102の両端にかかる電圧が低下してしまうため、表面伝導型放出素子102からの放出電流が低下してしまうことが従来からの課題であった。

【0108】本実施の形態では、行配線103上で発生する電圧降下量を予想し、列配線104に印加する変調信号の振幅値にその電圧降下量を加算した電位を印加する。これにより行配線103上で電圧降下が発生しても、表面伝導型放出素子102の両端に所望の電圧を印加することができ、放出電流量への行配線上の電圧降下の影響を除去するものである。

【0109】本発明者らは、行配線103上に発生する電圧降下の値を予測するために表示パネルの下記の1)~3)の3つの特性を考慮した。

【0110】1) 図7の $V_f$ 対 $I_f$ 特性および、図8の変調手段の入出力特性から、入力画像データから素子電流 $I_f$ の値を求めることが可能のこと。

【0111】2) 図7の $V_f$ 対 $I_f$ 特性カーブにおいて、表面伝導型放出素子の両端に電圧 $V_{FO}$ を印加したときの素子電流を $I_{FO}$ と定義すると、逆に $I_{FO}$ の素子電流を表面伝導型放出素子に注入すれば、素子の両端に電圧 $V_{FO}$ が発生すること。

【0112】3) 列配線1に素子電流 $I_{f1}$ 、列配線2に素子電流 $I_{f2}$ 、・・・、列配線Nに素子電流 $I_{fN}$ を流したときに選択されている行配線に発生する電圧降下は、いわゆる重ねの理が成り立ち、各列配線に個々に素子電流を流したときに発生する電圧降下を重ね合わせた電圧降下量として簡単に計算できること(詳細は以下に説明する。)。

【0113】従来の画像表示装置においては、入力される画像データに応じて、図8に示したDACの入出力特性によって定まる電位を各列配線に印加していた。この場合、各列配線からの変調手段から、選択されている行配線に流入する素子電流により、選択されている行配線上で発生する電圧降下のため、選択行の表面伝導型放出素子には、選択電位 $V_s$ と変調電位との電位差によって定まる電圧が印加されず、表面伝導型放出素子からの電

子放出量が影響をうけていた。

【0114】これに対し、本実施の形態では、まず画像データを1)の特性に従って流すべき素子電流値に変換し、その素子電流を流したときの行配線上での電圧降下量を3)の特性に従って計算を行った。さらに、その電圧降下量分をオフセットさせた変調電位を各列配線に印加すれば、選択行の表面伝導型放出素子の各々には、所望の電圧が印加され(即ち、所望の素子電流が流れ、さらに選択された行配線上には3)の特性により定まる電圧降下が発生するため)、電圧降下の影響なく画像の表示が可能となった。

【0115】図4は上記3)の特性をもとに、行配線上の電圧降下の算出方法を説明するための図である。

【0116】同図では簡便化のため列の本数を4とし、行配線については、図3(a)と同様、選択行以外は省略した。また同図では、選択行の電位を基準電位として考えた。(選択電位は、パネルのグランド電位に対し、-0.5VSELの電位であるが、ここで計算する各点の電圧降下量は、-0.5VSELからの電位の変化分(上昇分)であるため、選択電位を基準電位として考えることが都合がよかった。) またある列とその隣の列のあいだの行配線の抵抗値を $r$ としすべての区間で共通とした。また、行配線取り出し部の抵抗も $r$ とした。また列配線と行配線の間に接続される表面伝導型放出素子は電圧降下を計算する上では影響が無視できるため省略した。

【0117】図4(a)は列配線1のみに電流 $I_{f1}$ を注入した場合の例である。このとき行配線上の電位と基準電位との電位差 $\Delta V_1 \sim \Delta V_4$ は、同図右の折れ線のようになり(折れ線の高低は電位を表している)、基準電位に対して以下の電位差が発生する。

$$\Delta V_1 = 4/5 \times r \times I_{f1}$$

$$\Delta V_2 = 3/5 \times r \times I_{f1}$$

$$\Delta V_3 = 2/5 \times r \times I_{f1}$$

$$\Delta V_4 = 1/5 \times r \times I_{f1}$$

【0118】同様に図4(b)は列配線2のみに電流 $I_{f2}$ を注入した場合の例である。このとき行配線上の電位と基準電位との電位差 $\Delta V_1 \sim \Delta V_4$ は、同図右の折れ線のようになり、基準電位との間に以下の電位差が発生する。

$$\Delta V_1 = 3/5 \times r \times I_{f2}$$

$$\Delta V_2 = 6/5 \times r \times I_{f2}$$

$$\Delta V_3 = 4/5 \times r \times I_{f2}$$

$$\Delta V_4 = 2/5 \times r \times I_{f2}$$

【0119】同様に図4(c)は列配線3のみに電流 $I_{f3}$ を注入した場合の例である。このとき行配線上の電位と基準電位との電位差 $\Delta V_1 \sim \Delta V_4$ は、同図右の折れ線のようになり、基準電位との間に以下の電位差が発生する。

$$\Delta V_1 = 2/5 \times r \times I_{f3}$$

$$\Delta V_2 = 4 / 5 \times r \times I_f 3$$

$$\Delta V_3 = 6 / 5 \times r \times I_f 3$$

$$\Delta V_4 = 3 / 5 \times r \times I_f 3$$

【0120】同様に図4(d)は列配線4のみに電流  $I_f 4$  を注入した場合の例である。このとき行配線上の電位と基準電位との電位差  $\Delta V_1 \sim \Delta V_4$  は、同図右の折れ線のようになり、基準電位との間に以下の電位差が発生する。

$$\Delta V_1 = 1 / 5 \times r \times I_f 4$$

$$\Delta V_2 = 2 / 5 \times r \times I_f 4$$

$$\Delta V_3 = 3 / 5 \times r \times I_f 4$$

$$\Delta V_4 = 4 / 5 \times r \times I_f 4$$

【0121】これらの間には前述の3)の特性により、重ねの理が成り立つため、列配線1~4に素子電流  $I_f 1 \sim I_f 4$  を注入したときに行配線上に発生する電位  $\Delta V_1 \sim \Delta V_4$  は、数1に従う。

【数1】

$$\begin{bmatrix} \Delta V_1 \\ \Delta V_2 \\ \Delta V_3 \\ \Delta V_4 \end{bmatrix} = \frac{r}{5} \begin{bmatrix} 4 & 3 & 2 & 1 \\ 3 & 6 & 4 & 2 \\ 2 & 4 & 6 & 3 \\ 1 & 2 & 3 & 4 \end{bmatrix} \begin{bmatrix} I_f 1 \\ I_f 2 \\ I_f 3 \\ I_f 4 \end{bmatrix}$$

【0122】本例では列配線が4つの簡単なモデルについて説明を行ったが、列の本数がさらに多い場合や、配線の抵抗値が不均等になっても、定数などは変化するが、原理的にこの法則が成り立つことを確認した。

【0123】画像表示装置としては、列配線の本数は数100以上の本数になるが、列配線の本数が増えても上述の計算方法を各列配線に対して繰り返すことにより、選択されている行配線上の電圧降下量を計算することができる。

【0124】上述の演算は、列配線がN本ある表示パネルに対しては数2に示したマトリクス演算になる。しかし、数2の演算を1水平期間に同期して行うためには、計算量が非常に多いため、大規模なハードウェアが必要である ( $N \times N$  の積和演算をN回行う必要がある。)。

【数2】

$$\begin{bmatrix} \Delta V_1 \\ \Delta V_2 \\ \Delta V_3 \\ \vdots \\ \Delta V_N \end{bmatrix} = \begin{bmatrix} a_{11} & a_{12} & \cdots & a_{1N} \\ a_{21} & a_{22} & \cdots & a_{2N} \\ a_{31} & a_{32} & \cdots & a_{3N} \\ \vdots & \vdots & & \vdots \\ a_{N1} & a_{N2} & \cdots & a_{NN} \end{bmatrix} \begin{bmatrix} I_f 1 \\ I_f 2 \\ I_f 3 \\ \vdots \\ I_f N \end{bmatrix}$$

ここで、 $a_{ij}$  ( $i = 1 \sim N$ ,  $j = 1 \sim N$ ) は配線抵抗の値により定まる定数である。

【0125】そこで発明者らは、計算を簡略化するため

$$\Delta V(x) = \frac{\Delta V_{kL} \times (X_{kR} - x) + \Delta V_{kR} \times (x - X_{kL})}{X_{kR} - X_{kL}}$$

に、図5(a)に示すような表示パネルを図5(b)のように縮退化させた近似モデルにより電圧降下量の近似解を計算することとした。

【0126】すなわち、同図に示すように、以下のようないくつかのモデル化を行った。

【0127】・N本ある列配線をn本の列配線ごとに4つのブロックに分けた ( $n = N / B_{lock}$ 、ただし  $B_{lock} = 4$ )。

【0128】・各ブロックの中央にブロック内の素子電流の総和が行配線へ流れ込むこととした。

【0129】・ブロックの境界となる位置においてノード  $P_1 \sim P_5$  を定義し、ノード  $P_1 \sim P_5$  の電位と選択された行配線の供給端電位 ( $V_s$ ) との電位差 (電圧降下量) を  $\Delta V_1 \sim \Delta V_5$  とした (ノードをブロックとブロックの境界の位置で定義しているので、後述する直線近似をする際に計算がしやすくなる。)。

【0130】・隣り合うノード間の抵抗は、縮退させたことを考慮し抵抗値をn倍した。

【0131】なお、図5(b)の近似モデルにおける  $\Delta V_1 \sim \Delta V_5$  は図4と同様に数3に示したマトリクス演算により簡単に計算することができる。

【数3】

$$\begin{bmatrix} \Delta V_1 \\ \Delta V_2 \\ \Delta V_3 \\ \Delta V_4 \\ \Delta V_5 \end{bmatrix} = \begin{bmatrix} b_{11} & b_{12} & b_{13} & b_{14} \\ b_{21} & b_{22} & b_{23} & b_{24} \\ b_{31} & b_{32} & b_{33} & b_{34} \\ b_{41} & b_{42} & b_{43} & b_{44} \\ b_{51} & b_{52} & b_{53} & b_{54} \end{bmatrix} \begin{bmatrix} I_f 1 \\ I_f 2 \\ I_f 3 \\ I_f 4 \end{bmatrix}$$

【0132】なお、 $I_f j$  はブロック  $j$  の電流値  $I_f$  の総和 (総電流量) である。ある列配線の電流  $I_f$  は、図8の変調手段の入出力特性と図7の表面伝導型放出素子の特性から求めることができる。したがって  $I_f j$  は、一水平期間分の画像データを複数のブロックにわけ、それぞれに対する素子電流をもとめ、それを各々のブロックに関して加算すれば簡単に計算することができる。

【0133】また  $b_{ij}$  は行配線の端部を基準としたときの、 $j$  番目のブロックに単位電流を注入したときの  $i$  番目のノードの電位である。これは、配線抵抗の値などにより定まる定数であって、キルヒホフの法則にしたがって簡単に計算することができる。

【0134】したがって、数3の計算を行うことで、ノード  $P_1 \sim P_5$  における電圧降下の値  $\Delta V_1 \sim \Delta V_5$  を近似的に求めることができる。

【0135】次に、本実施の形態においては、ノードとノードの間に位置する列配線における電圧降下量は、数4に基づき、二つのノードにおける電圧降下量  $\Delta V_k$ ,  $\Delta V_{k+1}$  から直線近似することにより求めた。

【数4】

【0136】前述のようにノードの位置をブロックの境界に定義したことにより、一番端のブロックにおいてもブロックの内部の点における電圧降下量を簡単に直線近似することができるというメリットがあった。

【0137】上記の例ではブロックの数を4つにした例をあげたが、さらにブロックの数を増やすことにより近似の誤差を低減できることは言うまでもない。行配線上に発生する電圧降下のカーブは滑らかな曲線であるため、ブロックの数を十分多くすれば、この直線近似による近似誤差は実用上ほとんど問題がないことを本発明者は確認している。

【0138】ブロックの数は、配線抵抗の値、表面伝導型放出素子の特性、変調電圧、列配線の本数やそれにより生じる誤差などを考慮して最適な値を選べばよい。

【0139】また1水平走査期間あたりの計算量としては、上記近似を行わない場合にはN個の積和演算をN回繰り返さなければならないところ、上記近似を導入することにより、数3のマトリクス演算に示されるように、積和演算を(B1ock) × (B1ock + 1)回繰り返せばよく、非常に計算量を低減させることができる（上述の例では、B1ock = 4のため、4 × 5 = 20回の積和演算でよい。一般にこの程度の計算は一水平期間に対し、十分短い時間で実行できる。）。

【0140】以上のようにして計算される電圧降下量を列配線に印加する変調電位に加算し、その分だけ高い電圧を列配線に印加すれば、各表面伝導型放出素子から放出される放出電流は、行配線上の電圧降下の影響を受けない。

【0141】したがってこのような補正を施すことで、これまでの課題であった電圧降下の影響による画像の劣化を改善することができる。

【0142】また、すべての列配線に対して計算を行わず、上述の計算方法により、近似を行って計算を行うことにより、数2の大規模なマトリクス演算が必要であったものが、数3のマトリクス演算と、数4の直線近似により計算できるため、計算量を格段に減少させることができた。

【0143】また、計算量を減少させたことにより、以下に述べるように非常に簡単な構成のハードウェアによって数3及び数4の計算を実現することができる。

【0144】〈補正量算出手段の詳細な説明〉補正量算出手段14は図2のようにΣIf計算部と電圧降下算出手部、及びデコード部の3つの部分から構成される。本実施の形態では、ΣIf計算部と電圧降下算出手部と、入力画像信号（画像データ）に基づいて行配線の電圧降下量を算出する第1算出手段を構成しており、デコード部にて、電圧降下量からオフセット電圧量と補正量とを算出する第2算出手段を構成している。以下にそれぞれの部分の構成および動作について詳しく説明する。

【0145】ΣIf計算部は、1水平期間の映像信号を

複数のブロックに分割し、個々のブロックの素子電流Ifの総和を算出する。同図において2001は画像データをIfの値に変換する変換手段としての変換テーブルである。また2002はセレクタ、2003は加算器、2005は算出されたブロックごとのIfの総和（If）を記憶するためのレジスタA1～A4を備えたΣIf用レジスタ群である。

【0146】入力されたRGBパラレルなデジタル画像信号は、セレクタ2002により切り替えられ、シリアル画像データに変換され、変換テーブル2001に出力される。変換テーブル2001は、図8に示した（画像信号）対（駆動電位）の関係と図7に示した（駆動電圧）対（素子電流If）の関係から作成したテーブルであって、画像データを素子電流Ifに変換する。その後、加算器2003によりブロックのエリアごとに加算される。ブロックごとに求められたIfの値は計算完了とともに、レジスタA1～A4に記憶される。

【0147】このようにして、ΣIf計算部では、入力画像信号（データ）応じた変調信号を列配線に印加したときに流れる電流量を近似的に求め、各ブロックについて、ブロックに含まれる全ての列配線に流れる電流量を合算し、ブロックごとの総電流量を演算している。

【0148】次に、電圧降下量算出手部において、ΣIf計算部で求めたブロックごとの総電流量から各ノードにおける電圧降下量を算出する。

【0149】電圧降下算出手部は、4入力1出力のセレクタ2006、積算器2007、加算器2008、及び計算結果を格納するためのレジスタB1～B5、数3のマトリクスを格納するためのパターンメモリ2009から構成される。

【0150】このパターンメモリ2009には、数3のマトリクスの要素、すなわち各ノード間の配線抵抗から求められたパラメータが記憶されている。

【0151】ΣIf計算部において、ブロックごとのIfが算出されると、セレクタ2006は適宜Ifの値を選択する。それと同期してパターンメモリ2009から数3のマトリクスの要素が適宜読み出されて、積算器2007で積算をされ、加算器2008へと転送される。加算器2008では数3のマトリクス演算をするために積算器2007からのデータを適宜加算し、計算完了とともにレジスタB1～B5に格納する。

【0152】図1に図示したタイミング発生回路4は、数3の演算が行われるように、セレクタ2006、パターンメモリ2009、積算器2007、加算器2008、レジスタB1～B5のタイミングコントロールを行う。

【0153】以上の処理を行うことにより、ΔV1～ΔV5までの電圧降下量が算出され演算部へと転送される。なお、ΔV1～ΔV5はデジタル信号である。

【0154】デコード部2020は、各ブロックの両端

に位置する2つのノードでの電圧降下量のうち、その小さい方をそのブロックに含まれる全ての列配線に一律に与えるオフセット電圧指示量（オフセット電圧量）として、オフセット電圧発生手段15へと供給する。

【0155】具体的には、

- ・ $\Delta V_1$ と $\Delta V_2$ を比較し、その小さい方を $\Delta V_{cmp1}$ 、
- ・ $\Delta V_2$ と $\Delta V_3$ を比較し、その小さい方を $\Delta V_{cmp2}$ 、
- ・ $\Delta V_3$ と $\Delta V_4$ を比較し、その小さい方を $\Delta V_{cmp3}$ 、
- ・ $\Delta V_4$ と $\Delta V_5$ を比較し、その小さい方を $\Delta V_{cmp4}$ 、

として、 $\Delta V_{cmp1}$ ～ $\Delta V_{cmp4}$ を各ブロックのオフセット電圧指示量としてオフセット電圧発生手段15へと供給する。

【0156】また、デコード部2020は、各ノードにおける電圧降下量から、ブロックごとのオフセット電圧指示量を差し引いた分を、各ノードにおける補正量として演算部12へと供給する。

【0157】具体的には、

$$\begin{aligned}\Delta V_{1L} &= \Delta V_1 - \Delta V_{cmp1} \\ \Delta V_{1R} &= \Delta V_2 - \Delta V_{cmp1} \\ \Delta V_{2L} &= \Delta V_2 - \Delta V_{cmp2} \\ \Delta V_{2R} &= \Delta V_3 - \Delta V_{cmp2} \\ \Delta V_{3L} &= \Delta V_3 - \Delta V_{cmp3} \\ \Delta V_{3R} &= \Delta V_4 - \Delta V_{cmp3} \\ \Delta V_{4L} &= \Delta V_4 - \Delta V_{cmp4} \\ \Delta V_{4R} &= \Delta V_5 - \Delta V_{cmp4}\end{aligned}$$

なる演算を行い、算出された補正量 $\Delta V_{1L}$ ～ $\Delta V_{4L}$ 、 $\Delta V_{1R}$ ～ $\Delta V_{4R}$ を演算部12へ供給した。

【0158】〈オフセット電圧発生手段〉オフセット電圧発生手段15は、補正量算出手段14から供給された各ブロックに対するオフセット電圧指示量 $\Delta V_{cmp1}$ ～ $\Delta V_{cmp4}$ をDA変換し、各ブロックに含まれる列配線に一律に与えるべきオフセット電圧 $\Delta V_{ofs1}$ ～ $\Delta V_{ofs4}$ を発生する。

【0159】オフセット電圧発生手段15は、図16に示すように、ラッチとDAコンバータにより構成されており、タイミング発生回路4からのタイミング信号に基づいて、列配線に印加される変調信号（変調電圧）の立ち上がりに同期して、オフセット電圧を発生する回路である。

【0160】なお、ここで発生するオフセット電圧は、変調手段8から出力される変調電圧とは同一の水平走査期間の画像データから作成されており、それらがタイミング的に同期するように回路およびタイミング信号が作製されている。

【0161】〈演算部の詳細〉演算部12は、補正量算出手段14によって算出された各ブロックの各ノードに

おける補正量 $\Delta V_{kL}$ 、 $\Delta V_{kR}$ （ $k = 1, 2, 3, 4$ ）に基づいて、データ配列変換部9から入力された画像データを補正する補正手段である。

【0162】演算部12は、補正量 $\Delta V_{kL}$ 、 $\Delta V_{kR}$ （ $k = 1, 2, 3, 4$ ）に基づいて行配線上の各列配線の位置に対応する個別補正量を算出する。個別補正量は、画像データに加算され、補正された画像データ $D_{out}$ としてシフトレジスタ5へと出力される。

【0163】図6を用いて演算部12の動作を詳細に説明する。

【0164】各ブロックに含まれる各列配線についての個別補正量は、隣接する2つのノード（ブロックの両端に位置する2つのノード）における補正量から、各列配線に位置に応じて直線近似（線形補間）して求められる。

【0165】たとえば、列アドレス $x$ の列配線における個別補正量 $\Delta V(x)$ は、列配線 $x$ の属しているブロックを $k$ とすると、そのブロック $k$ の両端のノードにおける補正量 $\Delta V_{kL}$ 、 $\Delta V_{kR}$ 、およびそれぞれのノードの列アドレス $X_{kL}$ 、 $X_{kR}$ により、数4にしたがって計算することができる。

【0166】演算部12は、データ配列変換手段から画像データ $D_{ata}$ が転送されるのに同期して、補正量算出手段14で算出された補正量 $\Delta V_{1L}$ ～ $\Delta V_{4L}$ 、 $\Delta V_{1R}$ ～ $\Delta V_{4R}$ を読み出し、数4にしたがって各列アドレスに対する個別補正量を直線近似により補間演算し、画像データ $D_{ata}$ に加算する。

【0167】演算部12は、図6に示すように、セレクタ2010、2011と、積算器2012、2013と、加算器2014と、割り算器2015と、減算器2017、2018とを有して構成される。

【0168】セレクタ2010及び2011はそれぞれ、画像データ $D_{ata}$ が転送されるのに同期して、補正量 $\Delta V_{kL}$ 、 $\Delta V_{kR}$ （ $k = 1, 2, 3, 4$ ）を適宜選択し積算器2012、2013へ出力する。

【0169】減算器2017、2018はそれぞれ、タイミング発生回路4から転送された列アドレス $X$ と、その列配線 $X$ を含むブロックの両端のノードに相当する列アドレス $X_{kL}$ 、 $X_{kR}$ とから、 $X - X_{kL}$ および $X_{kR} - X$ を演算し、その結果をそれぞれ積算器2012、2013へ出力する。

【0170】積算器2012は数4の分子の第一項の積算を行い、積算器2013は第二項の演算を行い、加算器305に結果を転送する。

【0171】加算器2014は数4の分子の計算を行い、割り算器2015に結果を転送する。

【0172】割り算器2015では、加算器2014から受けた数4の分子を $X_{kR} - X_{kL}$ の値で割り算をし、加算器2016に転送する。ここで得られた結果が、列アドレス $x$ の列配線についての個別補正量とな

る。

【0173】加算器2016は、入力画像データDataに上記で求めた個別補正量を加算し、補正後の画像データDoutをシフトレジスタ5に転送する。

【0174】上記の各部はタイミング発生回路4のタイミング制御に基づいて動作しており、入力される画像データDataの列アドレスと補正量の列アドレスは加算器2016に入力される時点で同期している。

【0175】なお、上記例では割り算器2015を備えた例を示したが、より好ましくは、1つのブロックを構成する列配線の本数を2のべき乗本に選択することが好ましい。なぜならブロック内の列配線の本数が2のべき乗本であるならば、上述の割り算器2015はビットシフト回路に置き換えることでき、非常に簡単に実現することができるからである。また減算器2017、2018も1つのブロックの列配線本数を2のべき乗に選択すれば簡単なデコード回路で構成できるため、非常にメリットがある。なお、本実施例では行配線の方向に3色のそれぞれに対応する素子を並べて該3つの素子で一つの画素を構成する形態を採用しているが、1ブロックを構成する画素の数（列配線の本数を3で割った数）が2のべき乗になるように選択してもよい。

【0176】さらに表示パネルの列配線の総本数が2のべき乗の倍数でない場合でも、それに近い値であるならば、ブロック内の列配線の本数を2のべき乗の値に選択し、端数は無視することでハードウェアを簡単に実現できるなど非常にメリットがある。

【0177】例えば水平方向の画素数が640（列配線本数=1920（1画素につきRGB3本の列配線が必要となる。））の画像表示装置では1ブロックに対する列配線本数を128とし、ブロック数を15とした。

【0178】また別の例で水平方向の画素数が852（列配線本数=2556）の画像表示装置では1ブロックに対する列配線本数を256本とし、ブロック数を10とした。端数の4本は、電流の流入のない配線が両端のブロックに仮想的に存在するものとした。

【0179】また分割するブロックに対する列配線の本数は、必ずしも同じである必要はない。

【0180】とくに、行配線上に発生する電位分布の形状は、本実施の形態のごとく行配線の両端に走査回路2及び2'が接続されている場合は、一般に上に凸のカーブであって、その傾きは行配線の端部に行くほど急な勾配となる特徴をもっている（図3（b））。この特徴を考慮すれば、行配線の端部に行くほど細かく、中央部ほど荒くブロックを分割することにより、ブロックの数を多くしなくても、誤差を低減することができ、さらに計算量を減少させることができなどのメリットがある（不均等に分割した場合には、それに応じてパラメータを変更すればよい。）。

【0181】また、上記の例では演算部12において、

ブロックの両端のノードにおける補正量 $\Delta V1L \sim \Delta V4L$ 、 $\Delta V1R \sim \Delta V4R$ を直線近似することにより、各列配線の個別補正量を補間演算しているが、特にこれにこだわることはなく、多項式近似など別の近似方法により、補間を行ってももちろん構わない。

【0182】〈各部の動作タイミング〉図12及び図13に各部の動作タイミングのタイミングチャートを示す。図13（a）、（b）、（c）はそれぞれ図12の501、502、503の部分を詳細に示したものである。

【0183】なお、同図においてHDは水平同期信号、Dot CLKはタイミング発生回路4の中のPLL回路により水平同期信号HDから作成したクロック、R、G、Bは信号切り替え部13からのデジタル画像信号、Dataはデータ配列変換後の画像信号、Doutは補正を施されたとのデジタル画像信号、TSFTはシフトレジスタ5へ画像データDoutを転送するためのシフトクロック、TLoadはラッチ回路6へデータをラッチするためのロードパルス、TPWは変調手段8のスイッチを制御するタイミングであって、同信号がHighの期間は変調手段8の出力は接地される。変調信号AM1は列配線1へ供給される振幅変調信号の電位波形の一例である。

【0184】1水平期間の開始とともに、信号切り替え部13からデジタル画像信号RGBが転送される。データ配列変換部9では1水平期間の間、画像データを記憶した後、表示パネル1の画素配置に合わせてRGBのデジタル画像信号の並び替えを行い次の水平期間に出力する。

【0185】デジタル画像信号RGBは同時に補正量算出手段14に入力される。補正量算出手段14は、図12に示したように、ΣIf計算部において、画像信号RGBの入力とともにブロックごとの素子電流の総和を計算し、計算終了とともにレジスタA1～A4へ演算結果IF1～IF4を記憶させる。

【0186】最後のブロックのIF4の計算が終了するとともに、電圧降下量算出手部では、数3にしたがって $\Delta V1 \sim \Delta V5$ の電圧降下量を適宜計算し、計算終了とともにレジスタB1～B5に計算結果をストアする。そして、これと同時に、デコード部にてブロックごとのオフセット電圧指示量 $\Delta V_{cmp1} \sim \Delta V_{cmp4}$ を算出し、オフセット電圧発生手段15へと供給する。同様にして、補正量 $\Delta V_{kL}$ 、 $\Delta V_{kR}$ （k=1, 2, 3, 4）を算出し、演算部12へと供給する。

【0187】次の走査期間に移り、データ配列変換された画像データDataが演算部12へ転送されるのに同期して、演算部12では数4に基づいて、ノードとノードの間の各列配線の個別補正量を直線近似によって計算し、画像データDataに加算し、シフトレジスタ5へ補正された画像データDoutを転送する。

【0188】シフトレジスタ5はT s f tにしたがって、一水平期間分の画像データD o u tを記憶するとともにシリアル／パラレル変換をおこなってパラレルな画像データI D 1～I D Nをラッチ回路6に出力する。

【0189】ラッチ回路6はT l o a dの立ち上がりにしたがってシフトレジスタ5からのパラレル画像データI D 1～I D Nをラッチし、ラッチされた画像データD 1～D Nを変調手段8へと転送する。

【0190】変調手段8は図1に示したように、D A Cとスイッチなどから構成されており、図8に示した入出力特性に従って、画像データD 1～D Nに相当する振幅の振幅変調信号A M 1～A M Nを生成する。A M 1の一例を図12に示す。これらの振幅変調信号A M 1～A M Nは入力画像データと、その水平期間における電圧降下の個別補正量から決定される振幅の信号となる。

【0191】また、これと同期するように、オフセット電圧発生手段15では、オフセット電圧指示量 $\Delta V_{c m p}$ 1～ $\Delta V_{c m p}$ 4がD/A変換され、オフセット電圧 $\Delta V_{o f s}$ 1～ $\Delta V_{o f s}$ 4が出力される。変調手段8は、オフセット電圧発生手段15から供給される各ブロックのオフセット電圧 $\Delta V_{o f s}$ 1～ $\Delta V_{o f s}$ 4を、当該ブロックに含まれる列配線に対応する振幅変調信号

(電位) A M 1～A M Nに一律に重畠して、この分だけオフセットさせた振幅の変調信号を生成して、この変調信号を列配線に印加する。

【0192】本実施の形態の画像表示装置(図1)はこのようなタイミングに従って画像の表示を行った。

【0193】このような画像表示装置により画像の表示を行ったところ、従来からの課題であった行配線における電圧降下による影響を抑制し、電圧降下に起因する表示画像の劣化を改善することができ、非常に良好な画像を表示することができた。

【0194】また、数3及び数4に述べた近似計算を導入したことにより、補正量を算出するために要する計算量を格段に減少させることができ、さらに非常に簡単なハードウエアでそれを実現することができるなど、非常に優れた効果があった。

【0195】また、本実施の形態の補正量算出手段14、オフセット電圧発生手段15および演算部12の構成によれば、電圧降下を補正するのに要する電圧の一部を、変調手段8において列配線に対応する電位に一律に重畠するオフセット電圧として供給することにより、演算部12において画像データに加算処理する補正量(個別補正量)を小さくすることができる。したがって、画像データに対する補正量の大きさを小さくでき、表面伝導型放出素子を変調するための階調数が相対的に増えることによって、変調手段8の振幅変調に係る階調数を画像の階調表現に有効に利用することができるなどのメリットがあった。

【0196】(第2の実施の形態) 上記第1の実施の形

態では図1に示したように、2つの走査回路2及び2'が表示パネルの走査配線(行配線)の両側に接続されている例を示した。

【0197】しかし本発明の適用範囲は、これにとどまることはなく、走査配線の片側にのみ走査回路2が接続されている画像表示装置においても適用することができる。

【0198】図17は本実施の形態の画像表示装置の概略をあらわすブロック図である。同図に示すように、本実施の形態の画像表示装置は、表示パネルの走査配線(行配線)の片側にのみ走査回路2を備えている。発明者らはこのような画像表示装置の構成においても、以下に示すように簡単な回路構成により、電圧降下の補正量を施すことにより、電圧降下の影響を補正することは可能であることを見出した。それと同時に電圧降下の影響を補正することで、高い表示品質で表示可能であることを確認した。

【0199】〈本実施の形態の電圧降下量算出方法〉図18は、上記第1の実施の形態で図4を用いて示したのと同様に、走査回路2が行配線の片側のみに接続されている場合の、行配線上の電圧降下の算出方法を説明するための図である。

【0200】同図では第1の実施の形態と同様に、説明の簡便化のため、列の本数を4とし、行配線については、選択行以外はないものとした。また選択行の接続端子に供給する電位を基準電位とした。

【0201】またある列とその隣の列のあいだの行配線の抵抗値をrとしすべての区間で共通とした。また、行配線取り出し部の抵抗もrとした。また列配線と行配線の間に接続される表面伝導型放出素子は電圧降下を計算する上では影響が無視できるため省略した。

【0202】図18(a)は列配線1のみに電流I f 1を注入した場合の例である。このとき行配線上の電位と基準電位との電位差 $\Delta V$ 1～ $\Delta V$ 4は、同図右の折れ線のようになり(折れ線の高低は電位を表している)、基準電位に対して以下の電位差が発生する。

$$\Delta V_1 = r \times I f 1$$

$$\Delta V_2 = r \times I f 1$$

$$\Delta V_3 = r \times I f 1$$

$$\Delta V_4 = r \times I f 1$$

【0203】同様に図18(b)は列配線2のみに電流I f 2を注入した場合の例である。このとき行配線上の電位と基準電位との電位差 $\Delta V$ 1～ $\Delta V$ 4は、同図右の折れ線のようになり、基準電位との間に以下の電位差が発生する。

$$\Delta V_1 = r \times I f 2$$

$$\Delta V_2 = 2 \times r \times I f 2$$

$$\Delta V_3 = 2 \times r \times I f 2$$

$$\Delta V_4 = 2 \times r \times I f 2$$

【0204】同様に図18(c)は列配線3のみに電流

$I_f 3$ を注入した場合の例である。このとき行配線上の電位と基準電位との電位差 $\Delta V 1 \sim \Delta V 4$ は、同図右の折れ線のようになり、基準電位との間に以下の電位差が発生する。

$$\Delta V 1 = r \times I_f 3$$

$$\Delta V 2 = 2 \times r \times I_f 3$$

$$\Delta V 3 = 3 \times r \times I_f 3$$

$$\Delta V 4 = 3 \times r \times I_f 3$$

【0205】同様に図18(d)は列配線4のみに電流 $I_f 4$ を注入した場合の例である。このとき行配線上の電位と基準電位との電位差 $\Delta V 1 \sim \Delta V 4$ は、同図右の折れ線のようになり、基準電位との間に以下の電位差が発生する。

$$\Delta V 1 = r \times I_f 4$$

$$\Delta V 2 = 2 \times r \times I_f 4$$

$$\Delta V 3 = 3 \times r \times I_f 4$$

$$\Delta V 4 = 4 \times r \times I_f 4$$

【0206】これらの間には前述の3)の特性により、重ねの理が成り立つため、列配線1~4に素子電流 $I_f 1 \sim I_f 4$ を注入したときに行配線上に発生する電位と基準電位との電位差 $\Delta V 1 \sim \Delta V 4$ は、数5に従う。

【数5】

$$\begin{bmatrix} \Delta V 1 \\ \Delta V 2 \\ \Delta V 3 \\ \Delta V 4 \end{bmatrix} = r \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 2 & 2 & 2 \\ 1 & 2 & 3 & 3 \\ 1 & 2 & 3 & 4 \end{bmatrix} \begin{bmatrix} I_f 1 \\ I_f 2 \\ I_f 3 \\ I_f 4 \end{bmatrix}$$

【0207】本例では列配線が4つの簡単なモデルについて説明を行ったが、列の本数がさらに多い場合や、配線の抵抗値が不均等になっても、定数などは変化するが、原理的にこの法則が成り立つ。

【0208】画像表示装置としては、列配線の本数は数100以上の本数になるが、列配線の本数が増えても上述の計算方法を各列配線に対して繰り返すことにより、選択されている行配線上の電圧降下量を計算することができる。

【0209】上述の演算は、列配線がN本ある表示パネルに対しては上記第1の実施の形態と同様に、数2に示したマトリクス演算になる。しかし、数2の演算を1水平期間に同期して行うためには、計算量が非常に多いため、大規模なハードウェアが必要である( $N \times N$ の積和演算をN回行う必要がある。)。

【0210】そこで発明者らは、計算を簡略化するために、第1の実施の形態と同様に、図19(a)に示すような表示パネルを図19(b)のように縮退させた近似モデルにより電圧降下量の近似解を計算することとした。

【0211】同図では、第1の実施の形態と同様に、以下のようないモデル化を行った。

【0212】・N本ある列配線をn本の列配線ごとに4つのブロックに分けた( $n = N / B_{block}$ 、ただし $B$

$B_{block} = 4$ )。

【0213】・各ブロックの中央にブロック内の素子電流の総和が行配線へ流れ込むこととした。

【0214】・ブロックの境界となる位置においてノードP1~P5を定義し、ノードP1~P5の電位と選択された行配線の供給端電位(Vs)との電位差(電圧降下量)を $\Delta V 1 \sim \Delta V 5$ とした。

【0215】・隣り合うノード間の抵抗は、縮退させたことを考慮し抵抗値をn倍した。

【0216】図19(b)の近似モデルにおける $\Delta V 1 \sim \Delta V 5$ は、第1の実施の形態と同様に上述した数3に示したマトリクス演算により簡単に計算することができる。

【0217】なお、 $I_f j$ はブロックjの電流値 $I_f$ の総和(総電流量)である。また、 $B_{i j}$ は行配線の端部を基準としたときの、j番目のブロックに単位電流を注入したときのi番目のノードの電位である。

【0218】本実施の形態においても、上記第1の実施の形態と同様、まずはノードにおける電圧降下量からオフセット電圧指示量と補正量を算出し、ノードとノードの間に位置する列配線における個別補正量は、2つのノードにおける補正量を直線近似することにより求めた。

【0219】このような補正を施することで、走査回路2が行配線の片側のみに接続されている場合であっても、電圧降下の影響による画像の劣化を改善できることを発明者らは確認した。

【0220】また、すべての列配線に対して計算を行わず、上述の計算方法により、近似を行って計算を行うことにより、従来は数2の大規模なマトリクス演算が必要であったものが、数3のマトリクス演算と、数4の直線近似により計算できるため、計算量を格段に減少させることができた。

【0221】本実施の形態では、以下に述べるように非常に簡単なハードウェアによって数3及び数4の計算を実現した。

【0222】〈本実施の形態の補正量算出手段の詳細な説明〉上記第1の実施の形態では、補正量算出手段は各ブロックの両端である2つのノードでの電圧降下量のうち、その小さい方をそのブロックのオフセット電圧指示量として、オフセット電圧発生部へと供給していた。

【0223】一方、本実施の形態では、電圧降下量 $\Delta V 1 \sim \Delta V 5$ は、走査回路2が図17のように接続されているため、行配線の取り出しに近い側の電圧降下量ほど小さく、行配線の取り出しから離れるほど電圧降下量大きさは大きくなる。

【0224】したがって、各ノードにおける電圧降下量 $\Delta V 1 \sim \Delta V 5$ においても、

$$\Delta V 1 \leq \Delta V 2 \leq \Delta V 3 \leq \Delta V 4 \leq \Delta V 5$$

なる関係が常に成り立つ。

【0225】したがって、本実施の形態の補正量算出手

段14のデコード部では、第1の実施の形態と異なりその大小関係を比較する処理は不要である。

【0226】すなわち、

$$\Delta V_{cmp1} = \Delta V_1$$

$$\Delta V_{cmp2} = \Delta V_2$$

$$\Delta V_{cmp3} = \Delta V_3$$

$$\Delta V_{cmp4} = \Delta V_4$$

として、オフセット電圧指示量 $\Delta V_{cmp1} \sim \Delta V_{cmp4}$ をオフセット電圧発生手段15へ供給すればよい。

【0227】また、本実施の形態の補正量算出手段14のデコード部は、各ノードにおける電圧降下量から、ブロックごとのオフセット電圧指示量を差し引いた分を、各ノードにおける補正量 $\Delta V_{kL}, \Delta V_{kR}$  ( $k = 1, 2, 3, 4$ ) として演算部12へと供給する。

【0228】すなわち、

$$\Delta V_{1L} = \Delta V_1 - \Delta V_{cmp1}$$

$$\Delta V_{1R} = \Delta V_2 - \Delta V_{cmp1}$$

$$\Delta V_{2L} = \Delta V_2 - \Delta V_{cmp2}$$

$$\Delta V_{2R} = \Delta V_3 - \Delta V_{cmp2}$$

$$\Delta V_{3L} = \Delta V_3 - \Delta V_{cmp3}$$

$$\Delta V_{3R} = \Delta V_4 - \Delta V_{cmp3}$$

$$\Delta V_{4L} = \Delta V_4 - \Delta V_{cmp4}$$

$$\Delta V_{4R} = \Delta V_5 - \Delta V_{cmp4}$$

なる演算を行い、算出された補正量 $\Delta V_{1L} \sim \Delta V_{4R}$ を演算部12へ供給した。

【0229】ここで述べた部分以外の構成および作用については、上記第1の実施の形態と同様であるので、ここでは説明を省略する。

【0230】このような画像表示装置により画像の表示を行ったところ、従来からの課題であった行配線における電圧降下による影響を抑制し、電圧降下に起因する表示画像の劣化を改善することができ、非常に良好な画像を表示することができた。

【0231】また、数3及び数4に述べた近似計算を導入したことにより、補正量を算出するために要する計算量を格段に減少させることができ、さらに非常に簡単なハードウェアでそれを実現することができるなど、非常に優れた効果があった。

【0232】また、本実施の形態の補正量算出手段14、オフセット電圧発生手段15および演算部12の構成によれば、電圧降下を補正するのに要する電圧の一部を、変調手段8において列配線に対応する電位に一律に重畠するオフセット電圧として供給することにより、演算部12において画像データに加算処理する補正量（個別補正量）を小さくすることができる。したがって、画像データに対する補正量の大きさを小さくでき、表面伝導型放出素子を変調するための階調数が相対的に増えることによって、変調手段8の（振幅変調に係る）階調数を画像の階調表現に有効に利用することができるなどのメリットがあった。

【0233】（第3の実施の形態）上記第1の実施の形態及び第2の実施の形態では、電圧降下量や補正量を算出するブロックの分けかたと、オフセット電圧を発生するブロックは同一の分け方をとったが、特にこれにこだわることはない。

【0234】たとえば、簡単な例として、電圧降下量を算出するブロックに含まれる列配線本数に対して、同一のオフセット電圧を供給するブロックに含まれる列配線本数を2倍にしても簡単に構成できることは言うまでもない。

【0235】また別の例として、電圧降下量を算出するブロックに含まれる列配線本数に対して、オフセット電圧を供給するブロックに含まれる列配線本数を半分にした場合には、ブロックの中央での補正量をブロックの両端の補正量の平均値として求めれば、簡単に構成可能であることは言うまでもない。

【0236】また、上述のブロックという単位は、変調手段8を構成するICを単位とした方が、回路を構成しやすいためメリットがある。とくに同一のオフセット電圧を供給するブロックは、ICを単位として作製するほうが、回路を簡単に構成できる。

【0237】なお、「ICを単位とする」とは、具体的には、1つのブロックを構成する列配線の本数が、変調手段8を構成するICのチャンネル数の倍数であること、または、変調手段8を構成するIC1個あたりのチャンネル数が、1つのブロックを構成する列配線の本数の倍数であること（1つのブロックを構成する列配線の本数が、変調手段8を構成するICのチャンネル数の約数であるとも言い替えることができる。）をいう。

【0238】以上のようにして、補正量を算出するためのハードウェアを作製して、画像表示装置を構成したところ、非常に簡単なハードウェアで行配線での電圧降下を補正することができ、非常に優れた効果があった。

【0239】（第4の実施の形態）上記第1の実施の形態及び第2の実施の形態では、入力画像信号に基づいて各ノードにおける行配線の電圧降下量を求めた後、まず、この電圧降下量から各ブロックの列配線に一律に与えるオフセット電圧量を算出するとともに、電圧降下量からオフセット電圧量分を差し引いた補正量を算出する。そして、この補正量を直線近似によって補間して得た個別補正量を入力画像データに加算して画像データの補正を行い、この補正画像データに基づき変調された変調信号の電位にオフセット電圧を重畠することによって、最終的に列配線に印加することとなる変調信号を生成している。

【0240】一方、本実施の形態では、上記第1又は第2の実施の形態と同様にして求めた電圧降下量に基づいて各ノードに対応するオフセット電圧を発生させ、変調手段において、入力画像データに基づき変調された変調信号の電位に、各ノードのオフセット電圧をノードと列

配線との位置関係に応じて分圧して重畠するという簡単な構成によって、画像データ自体の補正を行うことなく上記の各実施の形態と同様の効果を実現している。

【0241】図20は、本実施の形態に係る画像表示装置の概略構成を示すブロック図であり、図21は、本実施の形態に係る変調手段の回路構成を示す図である。

【0242】以下の説明では、上記第1、第2の実施の形態と異なる構成部分について説明するものとし、同一の構成部分については同一の符号を付して詳しい説明は省略する。

【0243】図20に示すように、本実施の形態では、データ配列変換部9から出力される入力画像データを直接シフトレジスタ5に入力する構成とし、上記第1及び第2の実施の形態のごとく画像データに補正量を加算するような補正処理は行わない。

【0244】また、補正量算出手段14は、上記第1又は第2の実施の形態と同様にして、入力画像データに基づいて各ノードにおける電圧降下量 $\Delta V_1 \sim \Delta V_5$ を算出する。そして、これらの電圧降下量 $\Delta V_1 \sim \Delta V_5$ をそのままオフセット電圧指示量 $\Delta V_{c m p1} \sim \Delta V_{c m p5}$ として、オフセット電圧発生手段15へ供給する。

【0245】図21に示すように、本実施の形態の変調手段8は、各列配線D1～DNにオフセット電圧を重畠するための端子と、ブロック内の隣接する列配線の2つの端子を接続する抵抗とからなる分圧手段を有している。また、各ブロックBLOCK1～BLOCK4の両端に位置する列配線の2つの端子（以下、「オフセット端子」という。）は、各ブロックの両端から引き出されている。

【0246】オフセット電圧発生手段15は、補正量算出手段14から供給されたオフセット電圧指示量 $\Delta V_{c m p1} \sim \Delta V_{c m p5}$ をDAコンバータによりオフセット電圧 $\Delta V_{o f s1} \sim \Delta V_{o f s5}$ に変換し、変調手段8へ供給する。

【0247】このとき、ブロックBLOCK1の両端のオフセット端子にはそれぞれ $\Delta V_{o f s1}$ 、 $\Delta V_{o f s2}$ が供給される。また同様にして、ブロックBLOCK2のオフセット端子には $\Delta V_{o f s2}$ 、 $\Delta V_{o f s3}$ が供給され、ブロックBLOCK3のオフセット端子には $\Delta V_{o f s3}$ 、 $\Delta V_{o f s4}$ が供給され、ブロックBLOCK4のオフセット端子には $\Delta V_{o f s4}$ 、 $\Delta V_{o f s5}$ が供給される。

【0248】ブロックの両端のオフセット端子に印加されたオフセット電圧は、上記分圧手段の作用により、両端のノードと列配線との位置関係に応じて分圧され、列配線アドレスに応じた中間電位となって重畠されることとなる。

【0249】このような画像表示装置により画像の表示を行ったところ、従来からの課題であった行配線における電圧降下による影響を抑制し、電圧降下に起因する表

示画像の劣化を改善することができ、非常に良好な画像を表示することができた。

【0250】また、数3及び数4に述べた近似計算を導入したことにより、補正量を算出するために要する計算量を格段に減少させることができ、さらに非常に簡単なハードウェアでそれを実現することができるなど、非常に優れた効果があった。

【0251】なお、本実施の形態では行配線の片端に走査回路を設けた構成をとったが、第1の実施の形態のごとく行配線の両端に変調回路を設ける構成にしてもよいことはいうまでもない。

【0252】また、本実施の形態においても同様に、上述のブロックという単位は、変調手段8を構成するICを単位とした方が回路を構成しやすいためメリットがある。とくに同一のオフセット電圧を供給するブロックは、ICを単位として作製するほうが、回路を簡単に構成できる。

【0253】なお、「ICを単位とする」とは、具体的には、1つのブロックを構成する列配線の本数が、変調手段8を構成するICのチャンネル数の倍数であること、または、変調手段8を構成するIC1個あたりのチャンネル数が、1つのブロックを構成する列配線の本数の倍数であること（1つのブロックを構成する列配線の本数が、変調手段8を構成するICのチャンネル数の約数であるとも言い替えることができる。）をいう。

【0254】以上のようにして、補正量を算出するためのハードウェアを作製して、画像表示装置を構成したところ、非常に簡単なハードウェアで行配線での電圧降下を補正することができ、非常に優れた効果があった。

#### 【0255】

【発明の効果】以上説明したように、本発明によれば、従来からの課題であった行配線の電圧降下の影響を低減でき、高品質な画像表示を実現することができる。また、電圧降下の補正に係る計算量を格段に減少させることができ、また、非常に簡単なハードウェアでそれを実現することができるなど、非常に優れた効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の画像表示装置の回路構成の概略を示すブロック図である。

【図2】同実施の形態の補正量算出手段の回路構成の概略を示すブロック図である。

【図3】同実施の形態の行配線における電圧降下の様子を説明するための図である。

【図4】同実施の形態における電圧降下量の算出方法を説明するための図である。

【図5】同実施の形態の電圧降下量の算出方法において導入した近似モデルを示す図である。

【図6】同実施の形態の演算部の回路構成の概略を示すブロック図である。

【図7】表面伝導型放出素子の特性を示す図である。

【図8】変調手段のD A Cの入出力特性を示す図である。

【図9】マトリクス配線の模式図である。

【図10】表示パネルの概略構成を示す斜視図である。

【図11】走査回路の回路構成の概略を示すブロック図である。

【図12】同実施の形態の画像表示装置の各部の動作タイミングを示すタイミングチャートである。

【図13】同タイミングチャートの要部の詳細図である。

【図14】データ配列変換部の回路構成の概略を示すブロック図である。

【図15】同実施の形態の変調手段の回路構成の概略を示すブロック図である。

【図16】同実施の形態のオフセット電圧発生手段の回路構成の概略を示すブロック図である。

【図17】本発明の第2の実施の形態の画像表示装置の回路構成の概略を示すブロック図である。

【図18】同実施の形態における電圧降下量の算出方法を説明するための図である。

【図19】同実施の形態の電圧降下量の算出方法において導入した近似モデルを示す図である。

【図20】本発明の第4の実施の形態の画像表示装置の回路構成の概略を示すブロック図である。

【図21】同実施の形態の変調手段の回路構成の概略を示すブロック図である。

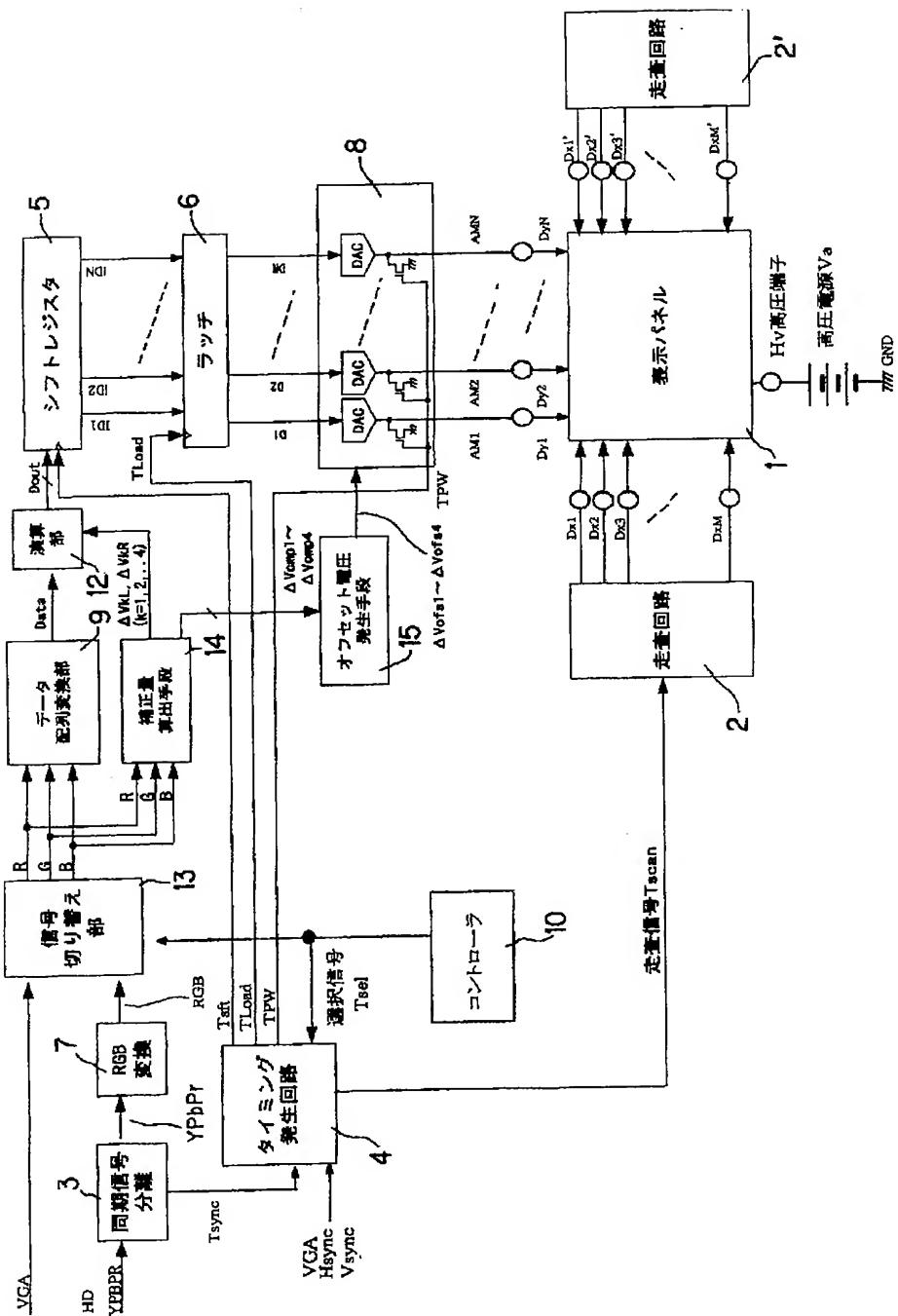
【図22】従来の画像表示装置の回路構成の概略を示すブロック図である。

#### 【符号の説明】

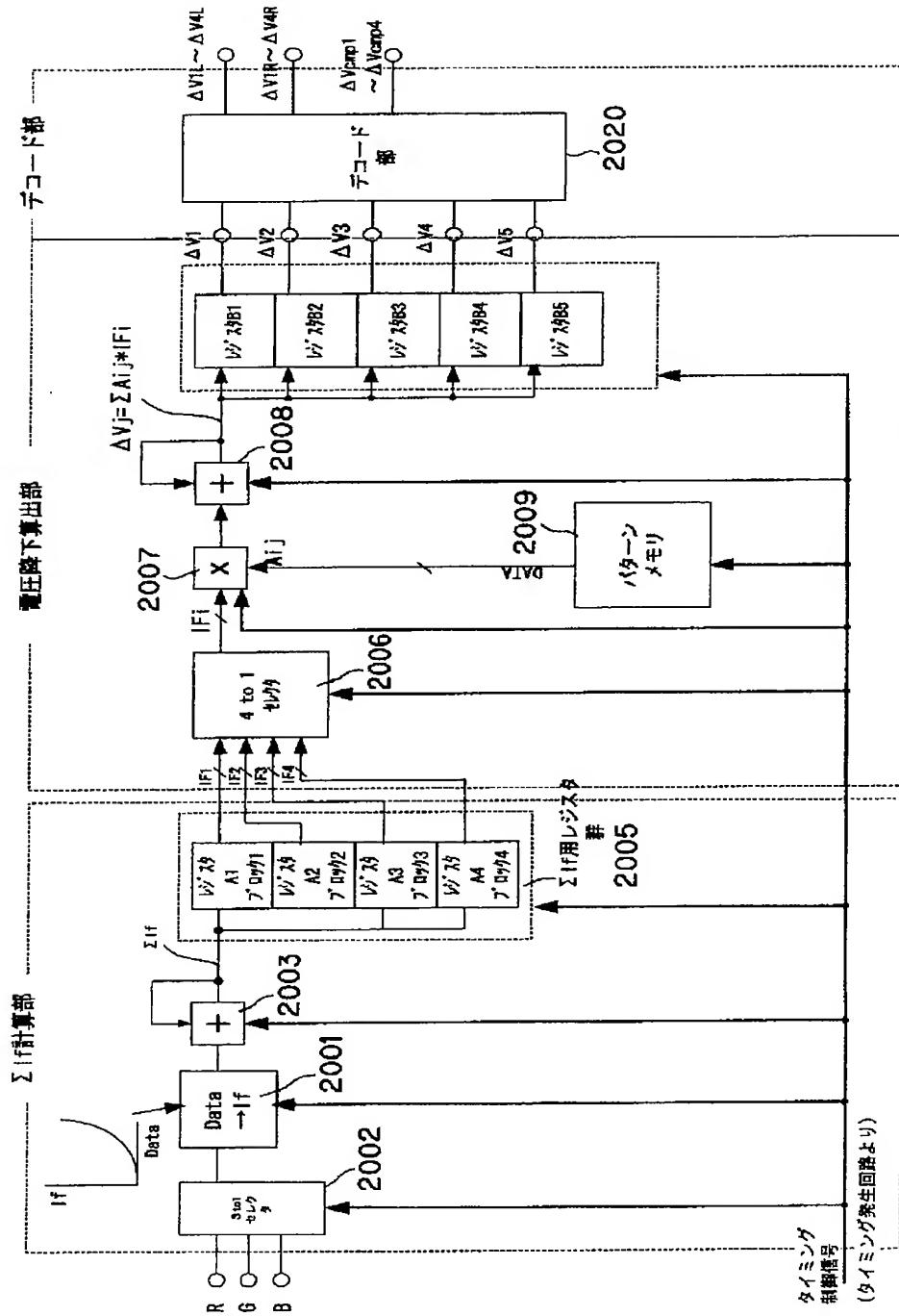
- 1 表示パネル
- 2, 2' 走査回路
- 3 同期信号分離回路
- 4 タイミング発生回路
- 5 シフトレジスタ
- 6 ラッチ回路
- 7 R G B 変換回路

- 8 変調手段
- 9 データ配列変換部
- 10 コントローラ
- 12 演算部
- 13 信号切り替え部
- 14 補正量算出手段
- 15 オフセット電圧発生手段
- 101 基板
- 102 表面伝導型放出素子（冷陰極素子、画像表示素子）
- 103 行配線
- 104 列配線
- 105 リアプレート
- 106 側壁
- 107 フェースプレート
- 108 蛍光膜
- 109 メタルバック
- 201 スイッチ
- 202 シフトレジスタ
- 2001 変換テーブル
- 2002 セレクタ
- 2003 加算器
- 2005  $\Sigma I f$  用レジスタ群
- 2006 セレクタ
- 2007 積算器
- 2008 加算器
- 2009 パターンメモリ
- 2010, 2011 セレクタ
- 2012, 2013 積算器
- 2014 加算器
- 2015 割り算器
- 2016 加算器
- 2017, 2018 減算器
- 2020 デコード部
- 901R, 901G, 901B FIFOメモリ
- 902 セレクタ

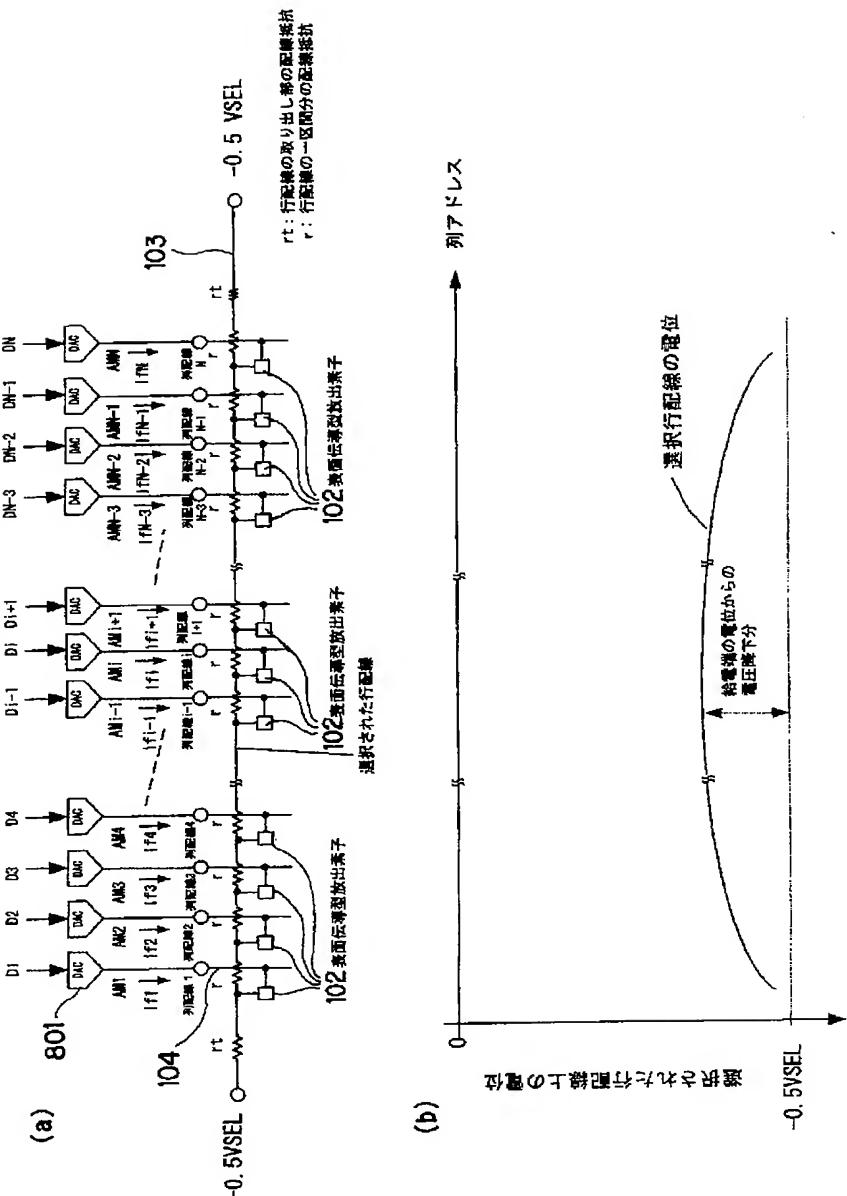
【图 1】



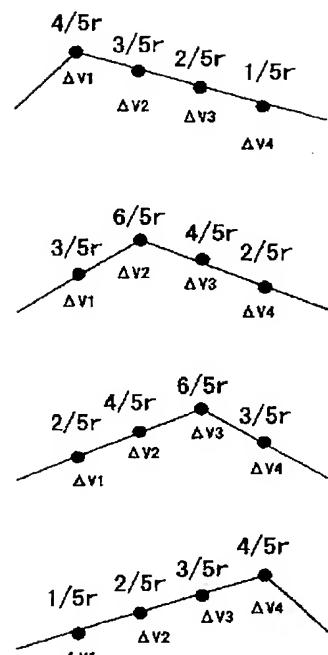
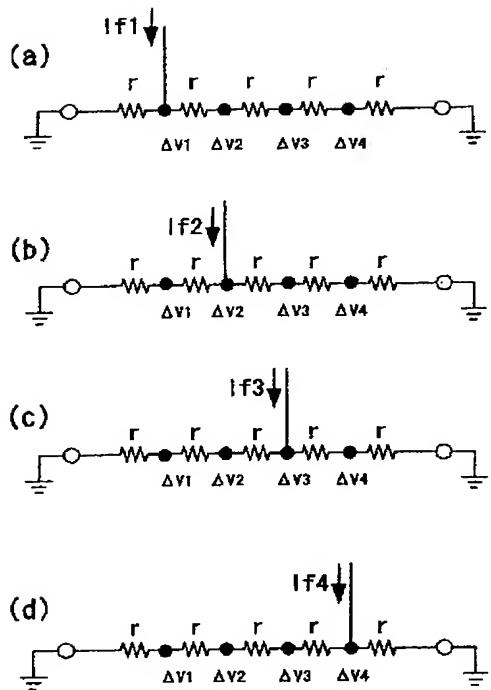
【図2】



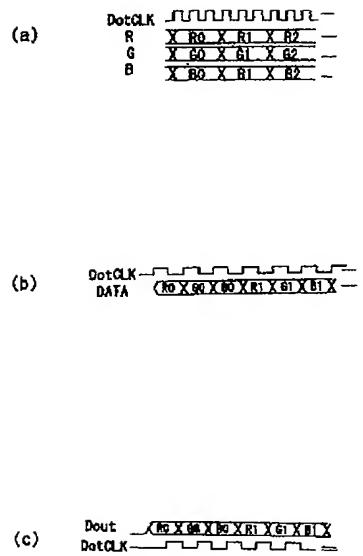
【図3】



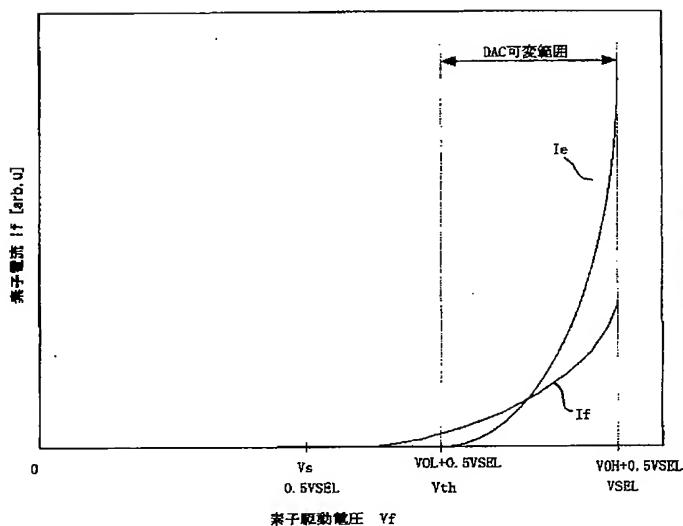
【図4】



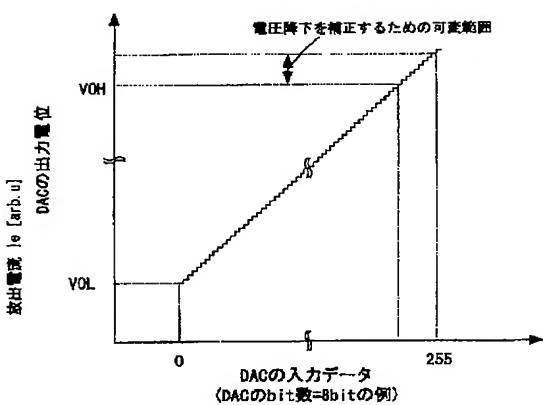
【図13】



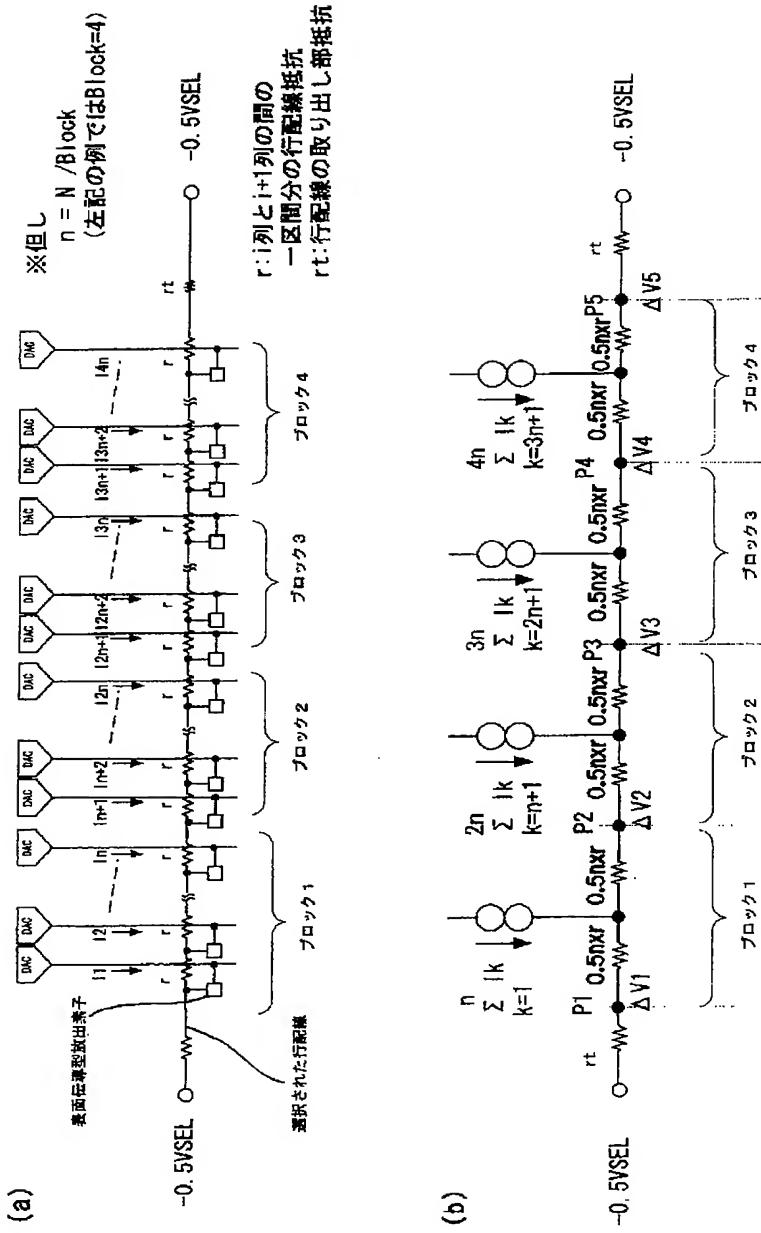
【図7】



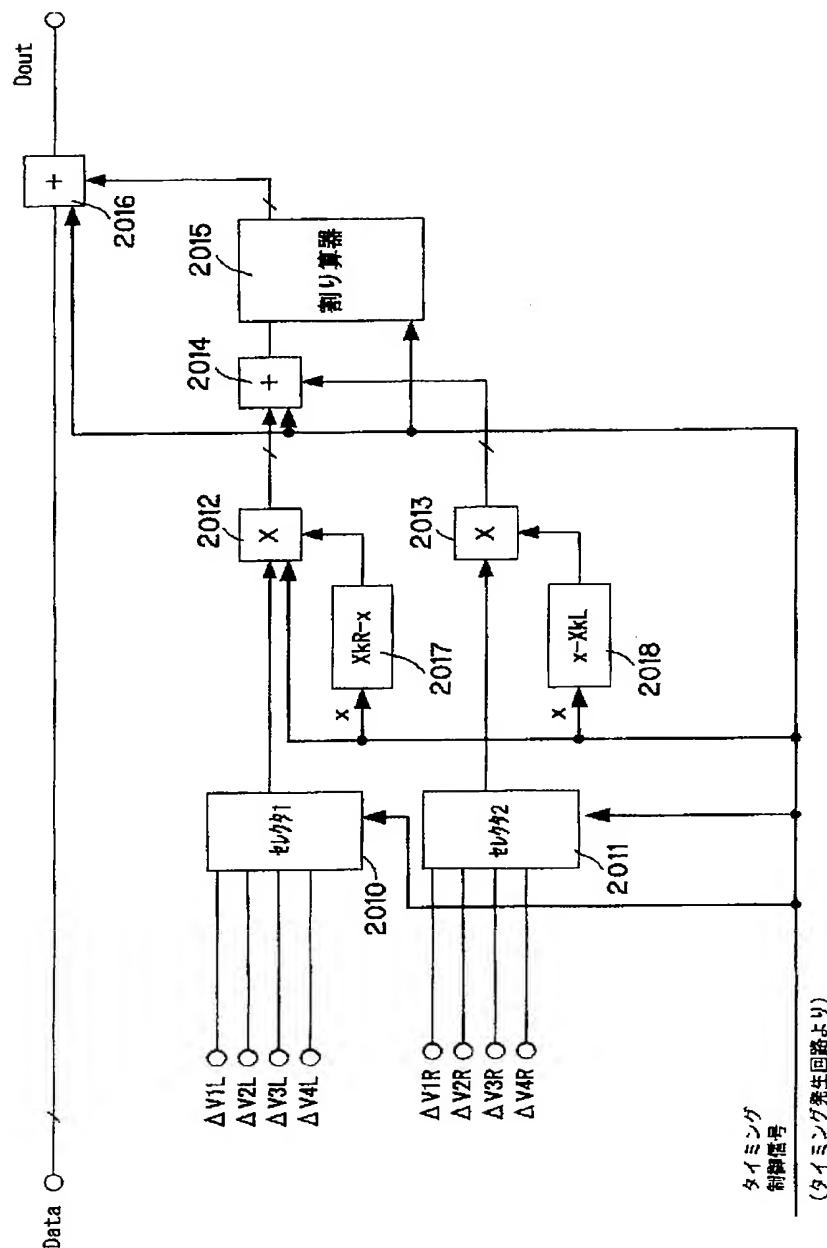
【図8】



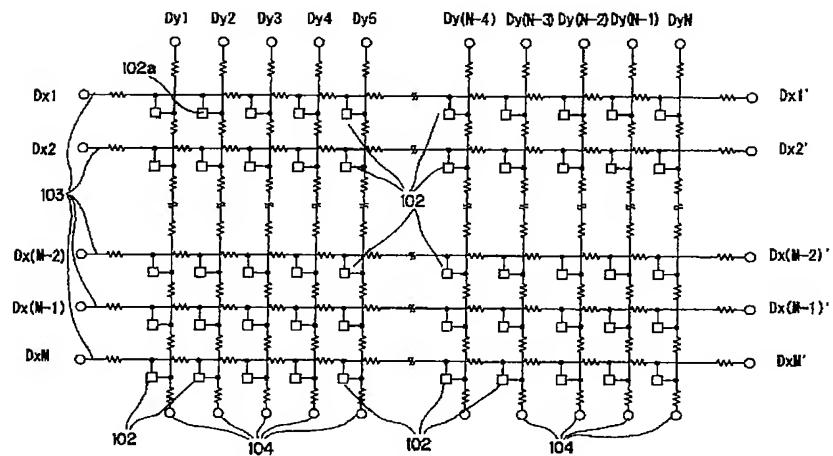
【図5】



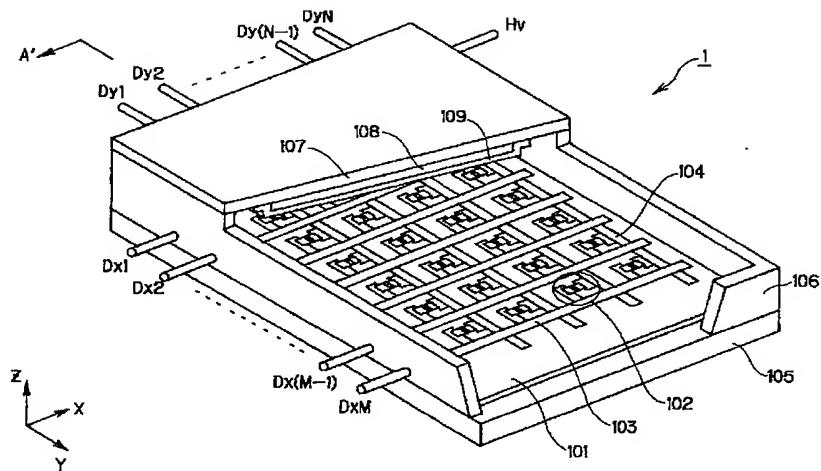
【図6】



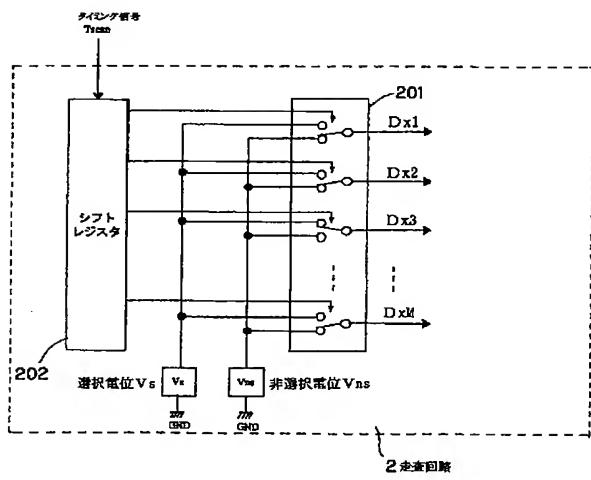
【図9】



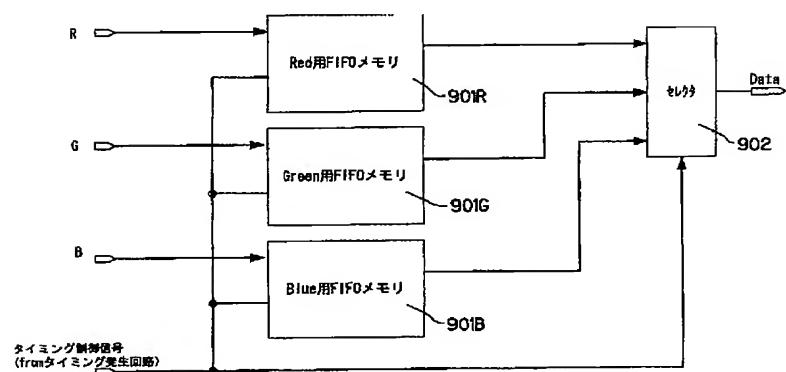
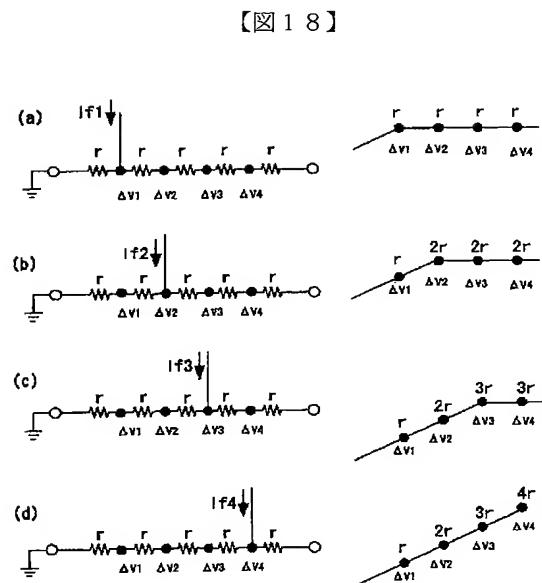
【図10】



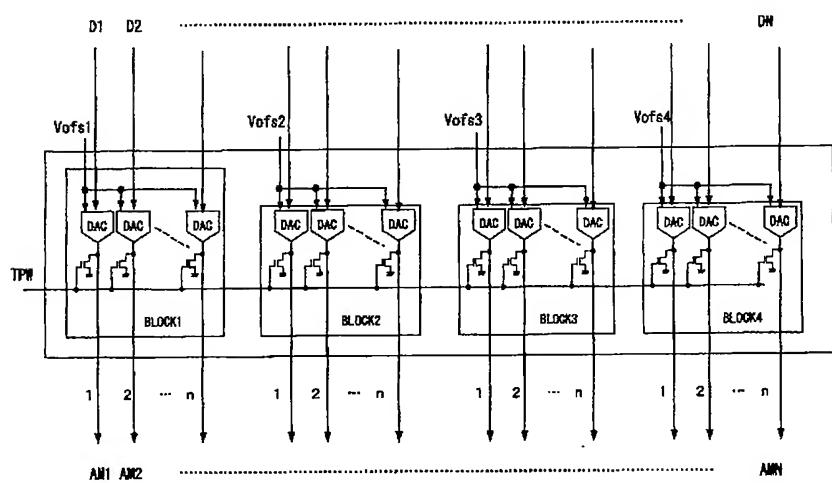
【図11】



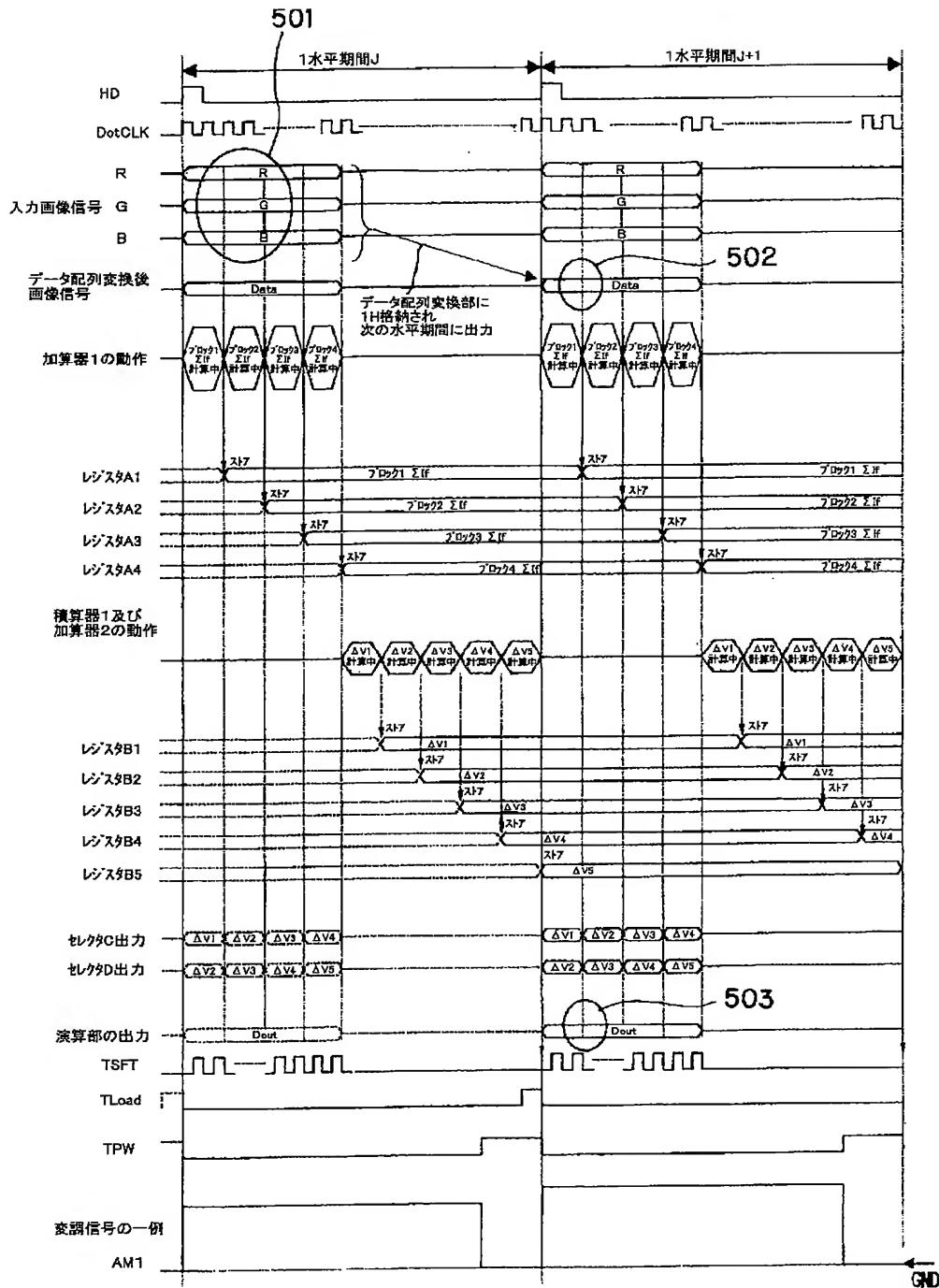
【図14】



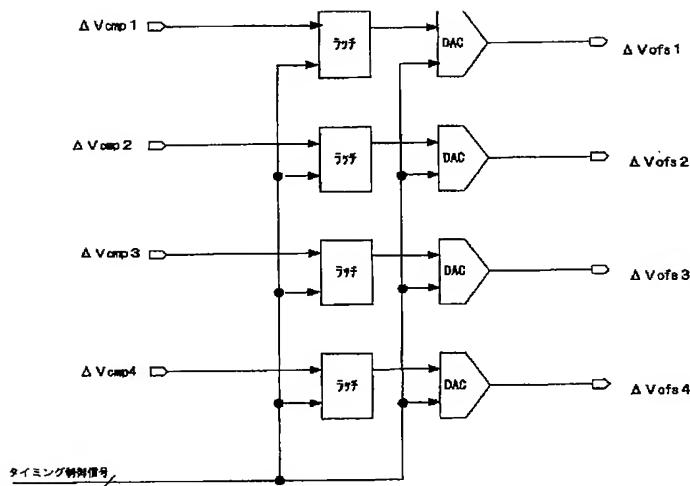
【図15】



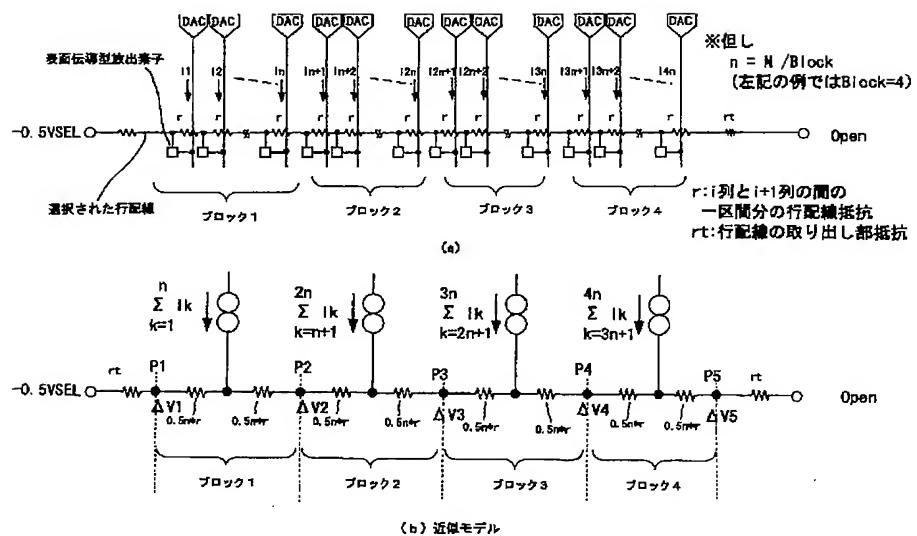
【図12】



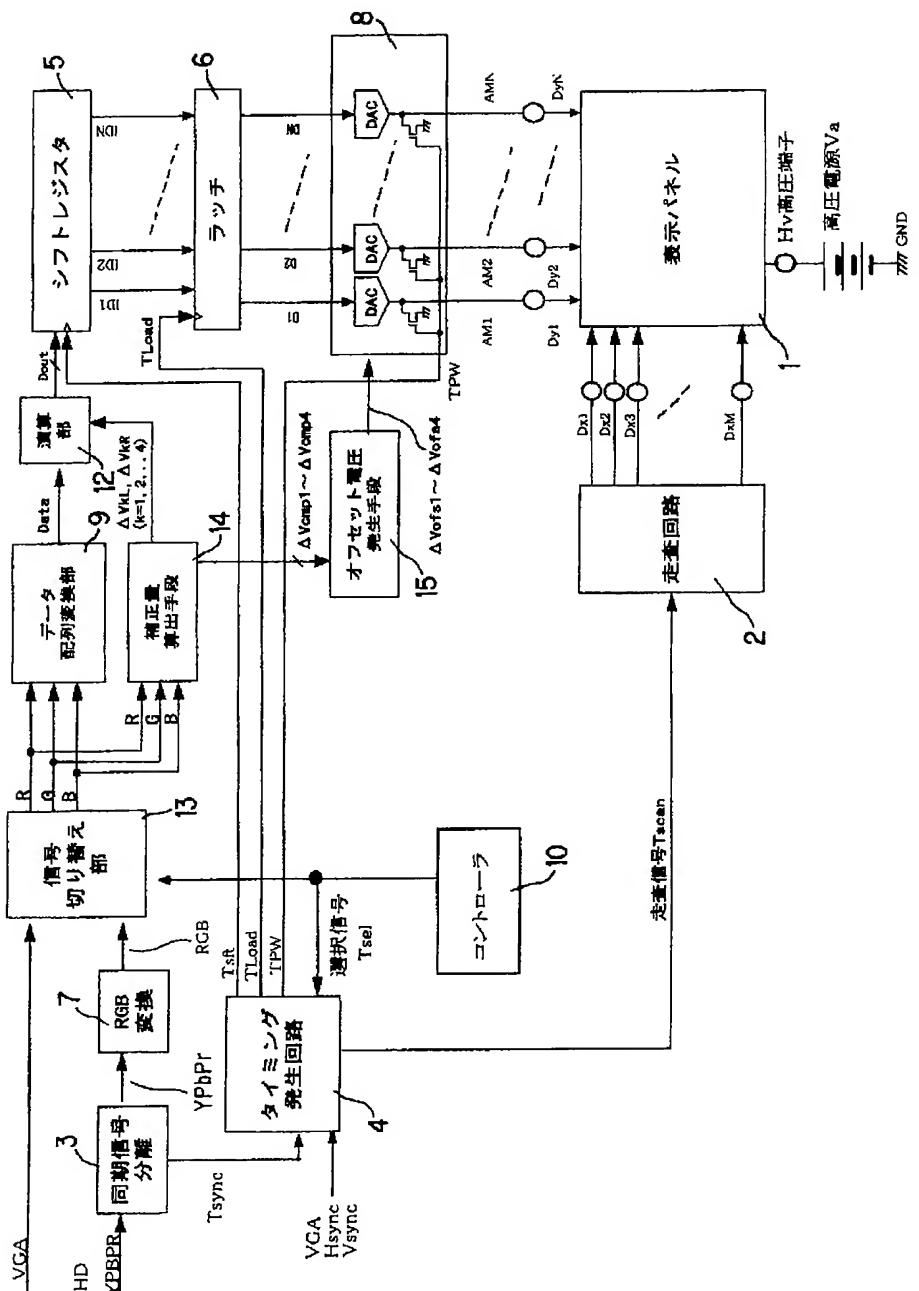
【図16】



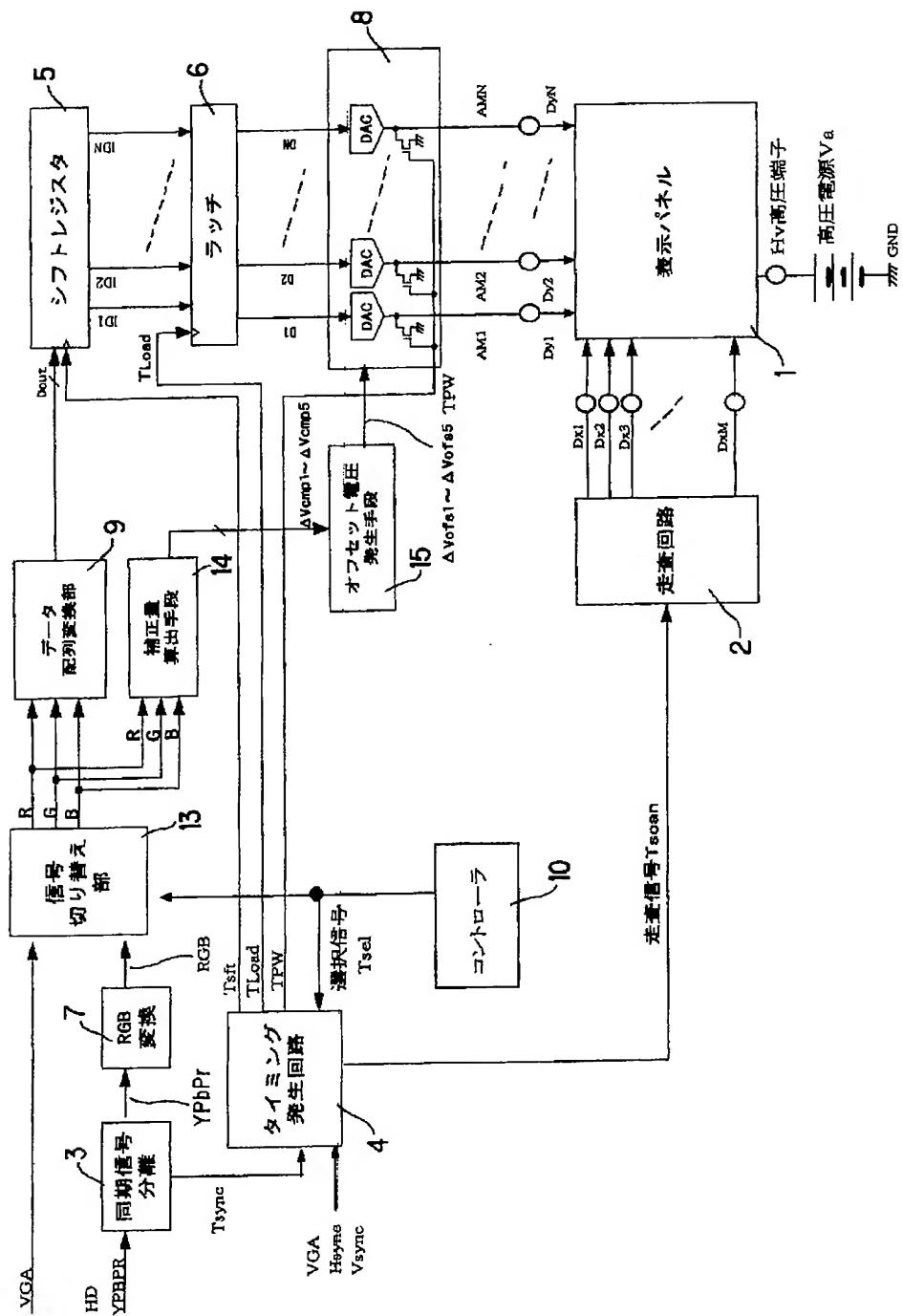
【図19】



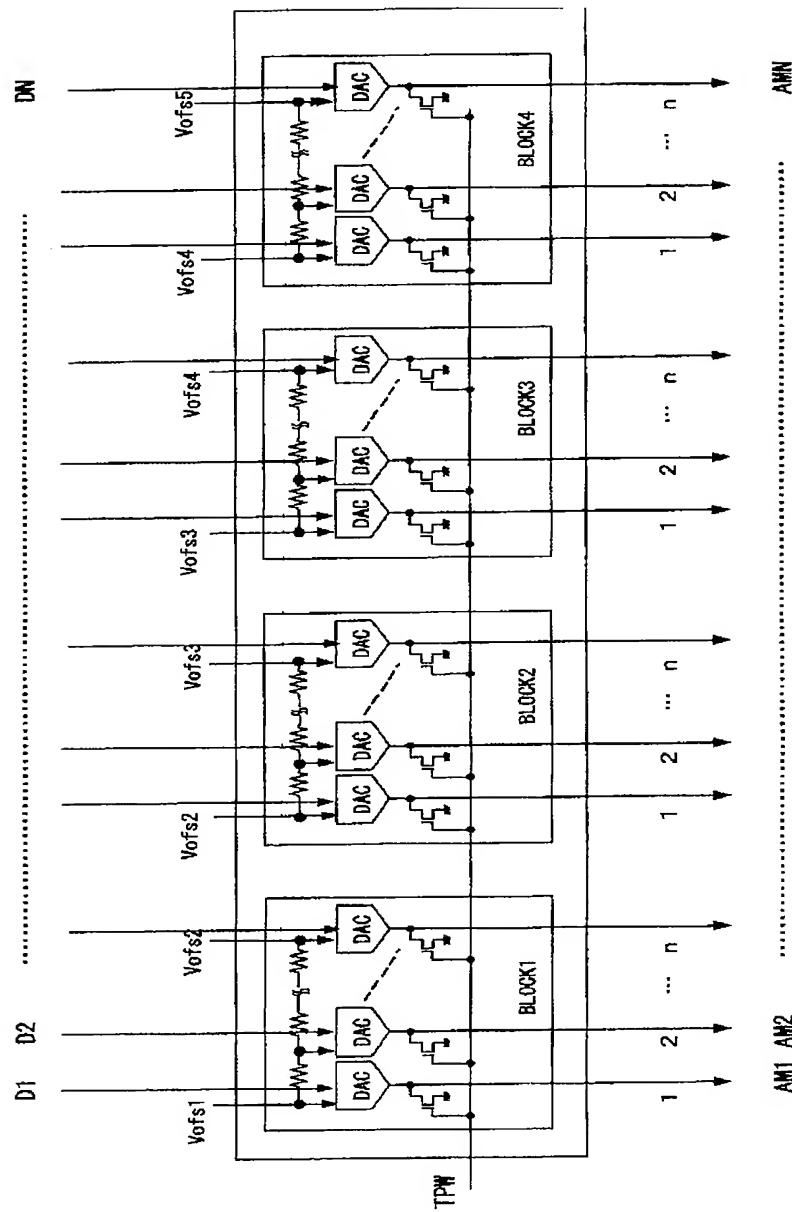
### 【图 17】



【图20】



【図21】



【图22】

